

УСТРОЙСТВА
ЧИСЛОВОГО
ПРОГРАММНОГО
УПРАВЛЕНИЯ

„ЭЛЕКТРОНИКА НЦ-31“

Альбом № 5

I. УСТРОЙСТВО 9202. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.006 ТО

I. I. ВВЕДЕНИЕ

I. I. I. Настоящее техническое описание предназначено для изучения технических характеристик и работы Устройства 9202 3.035.006 (в дальнейшем - Устройство).

I. I. 2. При изучении Устройства необходимо дополнительно пользоваться схемой электрической принципиальной 3.035.006 ЭЭ. (см. приложение 1, альбом №7)

I. I. 3. Перечень принятых сокращений и обозначений:

ББ	- выборка блока;
ГТ	- готовность;
ЗП	- запись;
ИИ	- измерительный преобразователь;
Контр.	- контроль;
ПА	- подадрес;
Рг.Б	- регистр буферный;
Рг.ИИ	- регистр измерительного преобразователя;
Рг.Сост.	- регистр состояния;
Сч.	- счетчик;
Уст.	- установка;
УЧПУ	- устройство числового программного управления;
ШФ	- шинный формирователь;
Я	- ячейка.

I. 2. НАЗНАЧЕНИЕ

I. 2. I. Устройство предназначено для приема информации о пути и направлении перемещения исполнительного механизма привода, хранения и считывания ее в процессор.

I. 2. 2. Устройство входит в состав УЧПУ "Электроника ИИ-31"

1.3. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ДАННЫЕ И ХАРАКТЕРИСТИКИ

1.3.1. Напряжение питания устройства (+5±0,25) В.

1.3.2. Сигналы на вход устройства подаются в двоичном коде, при этом:

- уровень логического "0" $U_{вх} \leq 1,5$ В;
- уровень логической "1" $U_{вх} \geq 9,6$ В.

1.3.3. Максимальная частота следования входных сигналов не превышает 70 кГц.

1.3.4. На выходе устройства формируются сигналы в двоичном коде, при этом:

- уровень логического "0" $U_{вых} \leq 0,4$ В;
- уровень логической "1" $U_{вых} \geq 2,4$ В.

1.3.5. Длительность сигнала "ГТ", формируемого устройством при обращении к нему, не превышает 3,2 мкс.

1.3.6. Конструктивно устройство выполнено на печатной плате с габаритными размерами 366 x 220 мм с четырьмя накладными разъемами. Через выходы Х1, Х2 осуществляется связь устройства с микро-ЭВМ, а через выходы Х3, Х4 - с измерительными преобразователями.

1.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ

1.4.1. Устройство состоит из следующих функциональных узлов:

- генератора тактовых импульсов;
- формирователя запросов;
- схемы управления;
- ячеек обработки сигналов измерительных преобразователей;
- регистра состояния и буферного регистра;

1.4.2. Генератор тактовых импульсов собран на элементах D32.1, 2, 3, D1.1, 2, 3, 4, D2.5, D5, D13 и EI Генератор, стабилизированный резонатором Q, вырабатывает импульсы частотой равной 10 кГц (D32.1, 2, 3, D1.1). Из этих импульсов формируются три последовательности тактовых импульсов с частотой 2,5 кГц (элементы D13, выходы 06 и 07, D1.4) со сдвигом каждой последующей относительно предыдущей на четверть периода, а также две последовательности тактовых импульсов с частотой 312,5 кГц (элементы D13, вы-

ходы 11, 12), которые сдвинуты относительно друг друга на 0,8 мкс и формируются только во время сеанса связи с устройством.

1.4.3. Формирователь запросов (D3.1) при наличии сигналов $\overline{НБ} <4> = 0$ и $ПА <3> = 1$ запускает схему обработки запросов (D1.3.4, D6, D3.3), которая осуществляет синхронизацию сигналов запросов тактовыми импульсами, вырабатываемыми генератором, и формирует временную диаграмму сеанса связи с устройством. Одновременно формируется сигнал ГТ (D12.1, 2, D14.1), длительность которого не превышает 3,2 мкс, и сигнал подготовки ИФ к сеансу связи с устройством (D2.3).

1.4.4. Схема управления (D22.1, 2, 3, 4, 5, D27, D28, D25, D29.1, D30, D31) в зависимости от кода $ПА <0> \dots ПА <2>$ и сигнала ЗИ обеспечивает выработку управляющих сигналов для выполнения действий, перечисленных в табл. I.

Таблица I

ПА <2>	ПА <1>	ПА <0>	Производимые действия	
			ЗИ = 0	ЗИ = 1
0	1	1	Запись в Ст. 4	Чтение Ст. 4
1	0	0	Запись в Ст. 3	Чтение Ст. 3
1	0	1	Запись в Ст. 2	Чтение Ст. 2
1	1	0	Запись в Ст. 1	Чтение Ст. 1
1	1	1	Запись в Рг. Соот	Чтение Рг. Соот

Примечание: Логическому "0" соответствует обозначение - 0, логической "1" - 1.

В режиме чтения ячейки управления (D25.1) формируется сигнал записи считываемой информации в РГБ (помимо сигналов чтения), а при считывании информации со счетчиков Ст. 1...Ст. 4 формируется сигнал усреднения счетчиков в начальное состояние, сдвинутый относительно сигнала записи в Рг.Б на 0,8 мкс.

1.4.5. В состав устройства входит 4 канала (А1...А4) обработки сигналов ИИ (по числу ИИ). Каждый канал выполняет следующие операции:

- осуществляет оптронную развязку цепей устройства (D34, D35, D36);
- осуществляет синхронизацию сигналов ИИ тактовыми импульсами, вырабатываемыми генератором устройства, и защиту от помех (D38.1, 2, 3, D37.1, D39.1, 2, 3, 4, D40...D43);
- производит определение направления перемещения по сигналам, поступающим от ИИ (D49.1, D47);
- осуществляет счет, хранение, запись и выдачу информации о записях и направлении перемещения экспериментального образца.

привода посредством реверсивного счетчика (D50, D51, D54, D55) и узла выходных вентилях (D52, D53, D56, D57) по сигналам, формируемым схемой управления;

- формирует сигнал прерывания по приходу сигнала "Нуль-метка" от ИЦ (D38.2, D46.1, D45.1)

1.4.6. Рг.Сост. состоит из регистра маски прерываний по "нуль-метке" (D19) и регистра адреса прерываемой координаты (D20, D21). Считывание информации из Рг.Сост. производится через узел выходных вентилях (D24, D23). Если Рг.Сост. размаскирован и приходит "нуль-метка" по какому-либо каналу, то в результате автоматически устанавливается маска и записывается "1" в соответствующий разряд регистра адреса прерываемой координаты. Распределение разрядов регистра состояний приведено в табл. 2.

Канал размаскирован, если в соответствующий разряд записана "1".

Если 1, 2 или 3-й канал размаскированы, то по приходе сигнала "нуль-метка" по любому из этих каналов происходит обновление информации в счетчике соответствующего канала.

Таблица 2

Разряд регистра состояний	Назначение разряда
0	Маска 1 канала
1	Маска 2 канала
2	Маска 3 канала
3	Маска 4 канала
4	Прерывание по 1 каналу
5	Прерывание по 2 каналу
6	Прерывание по 3 каналу
7	Прерывание по 4 каналу

1.4.7. Рг.В (D7...D10) предназначен для запоминания передаваемой информации в режиме чтения. Связь с линиями данных процессора осуществляется через шинами формирователи (D15...D18).

2. УСТРОЙСТВО 9209. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.007-02 Т0

2.1. ВВЕДЕНИЕ

2.1.1. Настоящее техническое описание содержит основные сведения о электрических характеристиках и работе устройства 9209 3.035.007-02 (в дальнейшем - Устройство).

2.1.2. При изучении изделия необходимо дополнительно пользоваться схемой электрической принципиальной 3.035.007 ЭС. и схемой расположения (см. приложение 2. альб. 7)

2.1.3. Перечень принятых сокращений и обозначений:

ВБ	- выбор блока
ЗП	- запись
ПА	- подадрес
Уст.	- установка
УЧПУ	- устройство числового программного управления
Ф	- формирователь
ЦАП	- цифро-аналоговый преобразователь
ИФ	- инициальный формирователь
Я	- ячейка

2.2. НАЗНАЧЕНИЕ

2.2.1. Устройство предназначено для приема и хранения информации с заданной установкой эквивалентной скорости подачи исполнительного механизма привода и формирования пропорционального ей аналогового сигнала постоянного тока.

2.2.2. Устройство входит в состав УЧПУ "Электроника ИЦ-31".

2.3. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

2.3.1. Напряжение питания Устройства:

- аналоговые: (15±0,75) В, минус (15±0,75) ; (5±0,25) В
- цифровые: (5±0,25) В.

2.3.2. Сигналы на вход Устройства подаются в двоичном коде, при этом:

- уровень логического "0" $U_{вх} \leq 0,4 В$
- уровень логической "1" $U_{вх} \geq 2,4 В$

2.3.3. На выходе Устройства формируются аналоговые сигналы постоянного тока в диапазоне $(10 \pm 1) В$, (минус $10 \pm 1) В$.

2.3.4. Конструктивно Устройство выполнено на печатной плате с габаритными размерами 366 x 220 мм с четырьмя накладными разъемами СНИ-58-32/94х9В-23-1-0. Через выходы ХТ1, ХТ2 осуществляется связь Устройства с микро-ЭВМ, а через выходы ХТ3, ХТ4 - с преобразователем.

2.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ

2.4.1. Устройство состоит из следующих функциональных устройств:

- источника опорного напряжения;
- схемы адресации;
- формирователя управляющего напряжения.

Настоящее Устройство имеет 3 формирователя управляющего напряжения Ф1, Ф2, Ф4.

2.4.2. Источник опорного напряжения выполнен на элементах D11, D15, VD1, VD2, VT1, VT2.

Потенциометром R23 устанавливается номинальная величина опорного напряжения, при этом через стабилизатор VD1 протекает ток оптимальной величины. Напряжение со стабилизатора VD1 подается на инверсный вход буферного усилителя (микросхема D15). В случае изменения опорного напряжения происходит разбалансировка инвертирующего усилителя (D11). По цепи VT1, VD2, R16 протекает ток. В точке соединения элементов VD1, VD2, R17 изменяется потенциал, приложенный к инверсному входу буферного усилителя. В результате величина опорного напряжения возвращается к номинальной.

2.4.3. Схема адресации (D10, D12 - D14, R6, D17) обеспечивает при наличии сигналов ББ <3> = 1 и ПА <2>, ПА <3> = 1 выработку управляющих сигналов (D14): для записи ("ЭП" = 0) или чтения ("ЭП" = 1) информации во входных регистрах (D4 - D6) ЦАП. Номер канала определяется сигналами ПА <0>, ПА <1>. Сигналом УСТ осуществляется предварительная запись нулевого кода во входные регистры ЦАП при включении питания.

Примечание. 0 - уровень логического нуля;
1 - уровень логической единицы.

2.4.4. Формирователь (Ф1, Ф2, Ф4) управляющего напряжения состоит из входного 12-разрядного регистра (D4 - D6), многоформирователя (D1 - D3), оптронных ячеек (A1 - A6) для развязок аналогового и цифрового напряжений питания и цифро-аналогового преобразователя (D7, D8, D9). ФФ обеспечивает прием и передачу информации в микро-ЭВМ по сигналам управления, вырабатываемым схемой адресации. Потенциометром R5 устанавливается необходимая величина опорного напряжения для ЦАП. Потенциометром R9 устанавливается $U_{вх} = 0$ при нулевом коде на ЦАП. Потенциометром R13 производится балансировка выходного усилителя D8.

3. УСТРОЙСТВО 9201. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.008 ТО

3.1. ВВЕДЕНИЕ

3.1.1. Настоящее техническое описание содержит основные сведения о технических характеристиках и работе устройства 9201.

3.1.2. При изучении устройства необходимо дополнительно пользоваться схемой электрической принципиальной 3.035.008 ЭЗ (см. приложение 3, альбом 7).

3.2. НАЗНАЧЕНИЕ

Устройство 9201 представляет собой контроллер электродвигателя (в дальнейшем по тексту - ЭД), который предназначен для обеспечения приема информации от узла электродвигателя станка в устройство числового программного управления (УЧПУ) и для выдачи управляющей и технологической информации в узел электродвигателя станка. ЭД входит в состав УЧПУ "Автоматизация НИ-31".

3.3. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

3.3.1. Питание ЭД осуществляется от стабилизированных источников питания напряжением $(+5 \pm 0,25) В$ и $(+24 \pm 3) В$.

3.3.2. Параметры входных и выходных сигналов с блока электроавтоматики:

- напряжение сигнала логической единицы $U_{\text{вх}} \geq 16 \text{ В}$;
- напряжение сигнала логического нуля $U_{\text{вх}} \leq 2,4 \text{ В}$;
- входной ток при логической единице $I_{\text{вх}} \geq 0,01 \text{ А}$;
- выходной ток открытого ключа $I_{\text{вых}} \geq 0,01 \text{ А}$;
- выходной ток закрытого ключа $I_{\text{вых}} \leq 0,0005 \text{ А}$;
- падение напряжения на открытом ключе $U_{\text{п}} \leq 1,5 \text{ В}$.

3.3.3. Параметры сигналов с шин магистральной:

- уровень логического нуля $U_0 \leq 0,4 \text{ В}$;
- уровень логической единицы $U_1 \geq 2,4 \text{ В}$.

3.3.4. Потребляемая мощность - не более 10 Вт.

3.3.5. Конструктивное исполнение - печатная плата с габаритными размерами 366,7 x 220 мм, высотой установки навесных элементов - не более 12 мм.

3.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ

3.4.1. Связь устройства с внешними цепями осуществляется через 4 выходы СШ-59-32/94х9В-23-I-0. Через выходы ХТ1, ХТ2 осуществляется связь с микро-ЭВМ; через ХТ3, ХТ4 - связь с узлами электроавтоматики (ЭА) станка (см. 3.035.008 ЭЗ).

3.4.2. В КЭ для передачи информации от УЧПУ в узел ЭА станка предусмотрен выходной 16-разрядный регистр (D8, D9). Прием информации от узла ЭА станка производится на входной 16-разрядный регистр (D27, D28).

3.4.3. В состав КЭ имеется 8-разрядный регистр маски (D20, D21).

3.4.4. Запись в регистры и выдача информации из регистров на шину магистральной производится по сигналам управления от микро-ЭВМ "ЭП" и "НБ 2" с указанием адреса регистра.

3.4.5. Адресная информация поступает с шин магистральной и расшифровывается на элементах D19.3, D19.4, D19.6, D24.2, D22.

3.4.6. Информация при записи в КЭ поступает с шин магистральной через шинные импульсные формирователи (D4 - D7) в выходной регистр (D8, D9), затем через инверторы, элементы узла развязки (A5 - A20) и выходы ХТ4 передается в устройство электроавтоматики станка.

3.4.7. Из устройства электроавтоматики станка информация через выходы ХТ3, элементы узла развязки (A1 - A4) поступает и записывается

во входной регистр (D27, D28); запись во входной регистр возможна и с шин магистральной при готовой проверке регистра.

3.4.8. При считывании из регистров информация через микросхемы коммутации (D10 - D17), шинные импульсные формирователи (D4 - D7) и выходы ХТ1 поступает на шину магистральной.

4. ЯЧЕЙКА АМТ. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.056.018 ТО

4.1. ВВЕДЕНИЕ

4.1.1. Настоящее техническое описание содержит основные сведения об устройстве и работе ячейки АМТ и является основным документом для изучения последней.

4.1.2. При изучении устройства и работы ячейки АМТ рекомендуется дополнительно пользоваться схемой электрической принципиальной 3.056.018 ЭЗ и схемой расположения (см. приложение 5, альб. 7).

4.2. НАЗНАЧЕНИЕ

Ячейка АМТ входит в состав устройства числового программного управления (УЧПУ) "Электроника НЦ-ЭП-01" и предназначена для:

- обеспечения обмена данными между процессором УЧПУ и устройствами связи со станком, которые находятся на магистральной, внешней интерфейс, отличный от интерфейса магистральной НЦ, на которой расположен процессор УЧПУ;

- отсчета интервалов времени, программно задаваемых процессором в виде двоичного кода, и выдачи по определенным правилам прерывания на процессор УЧПУ по истечении заданного временного интервала.

4.3. СОСТАВ АМТ

В состав ячейки АМТ входят следующие функциональные узлы (см. блок-схему рис. 1):

- адаптер магистральной (АМ);
- программируемый таймер (ПТ).

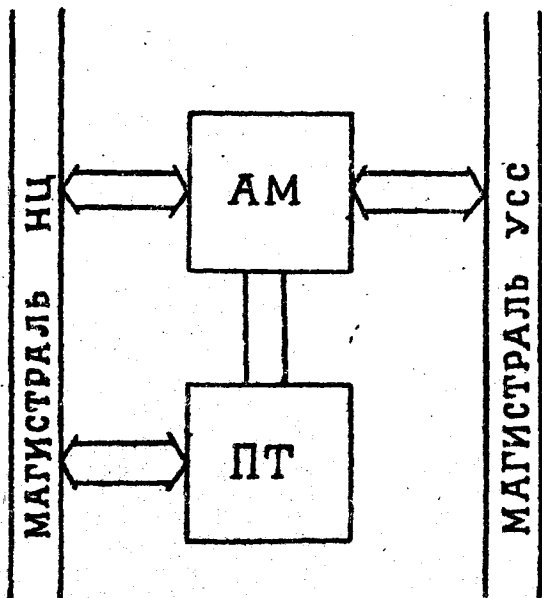


Рис. 1. Блок-схема АМТ

4.4. УСТРОЙСТВО И РАБОТА АМТ

4.4.1. Распределение адресов

Распределение адресов по устройствам АМТ представлено в табл. 3. Вектор прерывания процессора от ПТ - 000243

Таблица 3

Распределение адресов
по устройствам АМТ

Значения адресов	Устройства АМТ	Адресное содержание	Управляющие разряды данных МНЦ	Сигнал выбора блоков	Примечание
170400	ПТ	Обращение к счетчику по обмену данными	0-15		
170401	ПТ	Обращение к ТгР и ТгПр по обмену данными	0-ТгР 1-ТгПр		
170402	ПТ	Обращение к счетчику для его установки			
170403	АМ	Обращение к регистру маски по обмену данными	3 - К0 2 - КЭ 1 - КИИ 0 - ПРТ		
170440-170457	К0			ББ1	
170404-170477	КЭ			ББ2	
170500-170517	КИИ			ББ3	
170520-170537	КИИ			ББ4	

Примечание. Значения адресов приведены в восьмизначной записи.

4.4.1.1. Описание линий и сигналов магистрали НЦ

Данная магистраль включает в себя следующие сигнальные линии: Линии адресов и данных АД < 15 ... 0 > используются с разделением во времени:

- как адресные для обращения процессора к АМТ;
- для передачи данных между процессором и АМТ;

- для передачи слова прерывания (вектора прерывания) от АМТ к процессору, воспринимаемому сигналом прерывания.

Сигналом "Обмен" ОБМ процессор синхронизирует процедуру обмена данными. Передний фронт сигнала ОБМ свидетельствует об установке на линиях АД достоверного адреса.

Сигнал на линии "Чтение данных" ДЧ используется процессором для извещения АМТ о готовности к приему данных (по переднему фронту), а также о приеме данных с линии АД (по заднему фронту).

Сигнал на линии "Запись данных" ДЗП используется процессором для извещения АМТ о достоверности установленных на линиях АД данных.

Сигналом на линии "Ответ" ОТВ ведомое устройство извещает процессор либо о приеме данных с линии АД, либо о выдаче данных на линии АД. Сигнал ОТВ вырабатывается в ответ на сигнал ДЧ или ДЗП.

Сигнал на линии "Ошибка при обмене" ОБВ используется ведомым устройством для извещения процессора об ошибке при хранении информации.

Линия "Запрос прерывания" ЗПР используется устройствами для извещения процессора о внешнем прерывании.

Сигнал на линии "Разрешение прерывания" РПР используется для разрешения процессором запрашиваемому прерыванию устройству выдать вектор прерывания.

Сигнал на линии "Установка" УСТ приводит все устройства на магистрале в исходное состояние.

Сигнал на линии "Выборка устройства" ВУ служит признаком обращения процессора к устройствам на магистрали ИЦ, адрес которых содержит "1" в четырех старших разрядах 16-разрядного кода адреса, т.е. А=17XXX (8).

4.4.1.2. Описание линий и сигналов магистрали устройств связи со станком (УСС)

В состав УСС входят следующие устройства:

культ оператора (КО);

контроллер электроавтоматики (КЭ) или устройство 9201

контроллер электропривода (КП) или устройство 9209

контроллер измерительных преобразователей (КИП) или устр. 9202

Данная магистраль включает следующие сигнальные линии:

Сигналом "Выбор блока" ВБ1 (1-4) адаптер магистрали производит выбор блока УСС для обмена данными с процессором.

Сигналами "Поддрес" ПА <0...3> адаптер магистрали конкретно определяет код адреса регистра выбранного блока, с которым выполняется обмен информацией.

Сигнал "Запись" ЗП используется адаптером магистрали для извещения блоков УСС:

о достоверности установленных на линиях АД <15...0> данных (низкий уровень сигнала);

о готовности к приему данных с линии АД <15...0> (высокий уровень сигнала).

Сигнал на линии "Готовность" ГГ извещает АМТ о готовности блоков УСС к обмену данными (высокий уровень сигнала указывает на готовность блока к приему, выдаче данных).

4.4.2. Описание алгоритмов взаимодействия

4.4.2.1. Описание алгоритмов взаимодействия между АМТ и процессором при обращении последнего по обмену данными к АМТ и ИЦ

Последовательность ввода:

процессор устанавливает на линиях АД <15...0> адрес, определяющий ведомого, т.е. адрес того устройства, к которому обращается процессор по обмену данными;

процессор устанавливает на линиях сигнал ОБМ и ВУ;

при наличии сигналов ВУ и ОБМ АМТ производит дешифрацию II-7 разрядов адреса и осуществляет запись необходимых полей адреса на регистр;

процессор устанавливает на линии сигнал ДЧ и одновременно с установкой сигнала ДЧ производит сброс сигнала ВУ и адреса на линиях АД <15...0>;

АМТ в ответ на сигнал ДЧ устанавливает сигнал ОТВ, данные на линиях АД <15...0> и сигнал ОБВ в случае ошибочного обмена;

процессор принимает данные с линии АД <15...0> и сигнал ОБВ, после чего производит сброс сигнала ДЧ;

по заднему фронту сигнала ДЧ АМТ снимает данные с линии АД <15...0> и сигнал ОБВ, после чего производит сброс сигнала ОТВ;

процессор по заднему фронту сигнала ОТВ производит сброс сигнала ОБМ;

по заднему фронту сигнала ОБМ производится установка "битов" приёма адресной информации АМТ в начальное состояние.

Последовательность вывода:

процессор устанавливает на линиях АД <15...0> адрес, определяющий ведомого;

процессор устанавливает на линиях сигнал ОБМ и ВУ;

АМТ производит дешифрацию II-7 разрядов адреса и осуществляет запись необходимых полей адреса на регистр;

процессор устанавливает на линиях АД <15...0> данные и сигнал ДЗП;

по переднему фронту сигнала ДЗП АМТ принимает данные с линии АД <15...0>, формирует сигнал ОТВ и ОБВ в случае ошибочного обмена;

процессор по переднему фронту сигнала ОТВ сбрасывает сигнал ДЗП и принимает данные с линии АД <15...0>;

АМТ по заднему фронту сигнала ДЗП сбрасывает сигналы на линии ОТВ и ОБМ;

процессор по заднему фронту сигнала ОТВ сбрасывает сигнал ОБМ;

АМТ по заднему фронту сигнала ОБМ производит сброс адресной информации.

Последовательность прерываний:

АМТ устанавливает сигнал на линии ЗИРГ;

процессор анализирует линию ЗИРГ и при наличии незамаскированного запроса прерывает выполнение текущей программы;

прерванный процессор осуществляет захват магистрали и по завершении процедуры захвата устанавливает сигналы ДЧТ и РИРГ;

АМТ по сигналам РИРГ и ДЧТ сбрасывает сигнал ЗИРГ, выдает на линии АД <15...0> вектор прерывания и устанавливает сигнал ОТВ;

процессор по переднему фронту сигнала ОТВ производит прием с линии АД <15...0> вектора прерывания, а затем осуществляет сброс сигналов РИРГ и ДЧТ;

АМТ по заднему фронту сигнала ДЧТ производит сброс вектора прерывания с линии АД <15...0> и сигнала ОТВ;

процессор реагирует по принятому вектору прерывания адрес устройства, обратившегося с прерыванием, устанавливает его на линии АД <15...0> и осуществляет процедуру ввода данных, передавая управление подпрограмме обработки данного прерывания.

4.4.2.2. Описание алгоритмов взаимодействия между блоками УСС и процессором.

Временные диаграммы алгоритмов взаимодействия, представлены на рис. 2, 3.

Последовательность ввода (см. рис. 2):

ведущий устанавливает на линиях АД <15...0> адрес, определяющий ведомого;

ведущий устанавливает на линиях сигналы ОБМ и ВУ;

АМТ производит дешифрацию II-7 разрядов адреса;

АМТ по появлению сигнала ОБМ записывает необходимые поля адреса на свои регистры;

АМТ по сигналу дешифрации и по сигналу ОБМ выдает на линии ПА сигналы (транслирует содержимое 3-0 разрядов адреса на линии ПА) и формирует сигнал, стробирующий прием сигнала ДЧТ;

ведущий устанавливает на линии сигнал ДЧТ и одновременно с установкой сигнала ДЧТ производит сброс сигнала ВУ и адреса на линиях АД <15...0>;

АМТ через 0,5 мкс после установки сигнала ДЧТ устанавливает сигнал ББ на линии того блока УСС, адрес которого был установлен на линиях АД <15...0>.

АМТ через 2 мкс после установки сигнала ББ приступает к анализу сигнала ИТ. Если адресуемое устройство "быстро", т.е. оно успевает выставить данные в течение 2 мкс, то на ИТ сохраняется высокий уровень. В этом случае АМТ устанавливает сигнал ОТВ. В противном случае АМТ ожидает окончания выдачи данных на линии АД <15...0>, т.е. ожидает высокого уровня на линии ИТ и только после этого устанавливает сигнал ОТВ;

ведущий сбрасывает сигнал ДЧТ;

АМТ сбрасывает сигнал ОТВ и сигнал ББ;

ведущий сбрасывает сигнал ОБМ;

АМТ снимает информацию с линии ПА и устанавливает триггеры регистров в исходное состояние.

Последовательность вывода (см. рис. 2):

ведущий устанавливает на линиях АД <15...0> адрес, определяющий ведомого;

ведущий устанавливает на линиях сигналы ОБМ и ВУ;

АМТ производит дешифрацию II-7 разрядов адреса;

АМТ по появлению сигнала ОБМ записывает необходимые поля адреса на свои регистры;

АМТ по сигналу дешифрации и сигналу ОБМ устанавливает на линиях ПА информацию, т.е. транслирует содержимое 3-0 разрядов адреса на линии ПА;

ведущий устанавливает на линии сигнал ДЗП и одновременно с установкой сигнала ДЗП производит сброс ВУ и адреса на линиях АД <15...0>;

АМТ по сигналу ДЗП устанавливает сигнал ЗП;

АМТ через 0,5 мкс после установки сигнала ДЗП устанавливает сигнал ББ на линии того блока УСС, адрес которого был установлен на линиях АД <15...0>;

АМТ через 2 мкс после установки сигнала ББ приступает к анализу сигнала ИТ. Если адресуемое устройство "быстро", т.е. оно успевает закончить прием в течение 2 мкс, то на ИТ остается высокий уровень. В этом случае АМТ устанавливает сигнал ОТВ. В противном случае АМТ ожидает окончания приема данных с линии АД <15...0>, т.е. ожидает высокого уровня на линии ИТ и только после этого устанавливает сигнал ОТВ;

ведущий сбрасывает сигнал ДЗП;

АМТ сбрасывает сигнал ЗП, ОТВ и ББ;

ведущий сбрасывает сигнал ОБМ;

АМТ снимает информацию с линии ПА и устанавливает триггеры регистров в исходное состояние.

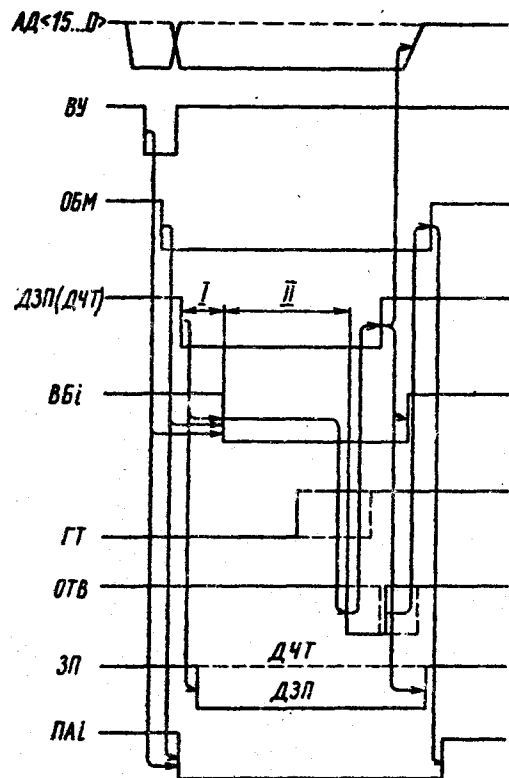


Рис. 2. Временная диаграмма "Запись (чтение)" данных:
I - 500 нс
II - 2 мкс (мин)

Временная диаграмма последовательности ввода и вывода представлена на рис. 2.

Последовательность прерывания (см. рис. 3):

по истечении заданного временного интервала от программируемого таймера поступает сигнал прерывания ПРТ;

АМ транслирует на линию ЗПРІ процессора этот сигнал;

процессор анализирует состояние линии ЗПРІ и при наличии незамаскированного запроса прерывает выполнение текущей программы;

прерванный процессор осуществляет захват магистрали.

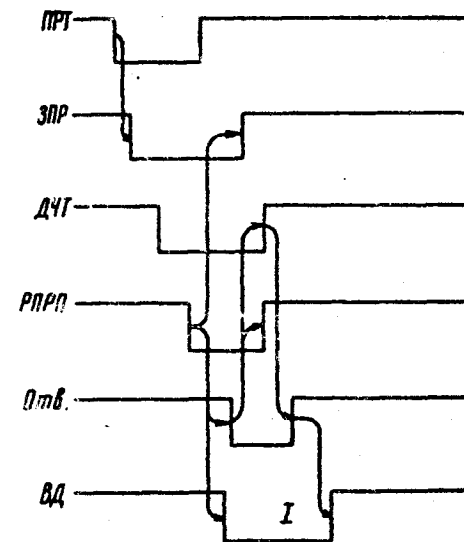


Рис. 3. Временная диаграмма "Прерывание"
I - вектор прерывания

По завершении процедуры захвата магистрали процессор устанавливает сигнал ДЧТ и РПРІ;

АМ по сигналам РПРІ и ДЧТ сбрасывает сигнал прерывания по линии ЗПРІ и формирует сигнал ОТВ, одновременно с формированием сигнала ОТВ АМ выдает в магистраль вектор прерывания;

процессор сбрасывает по сигналу ОТВ сигнал РПРІ и ДЧТ;

АМ по заднему фронту сигнала ДЧТ сбрасывает сигнал ОТВ;

процессор распознает по принятому вектору прерывания адрес устройства, обратившегося с прерыванием, устанавливает последний на линиях АД <15...0> и осуществляет процедуру ввода данных.

4.4.3. Адаптер магистрали

4.4.3.1. Назначение

Адаптер магистрали (АМ) предназначен для обеспечения обмена данными между процессором УЧПУ и устройствами связи со станком, в состав которых входят пульт оператора, устройства 9201 (контроллер электроавтоматики), 9202 (контроллер импульсных преобразователей), 9209 (контроллер привода).

Состав

В состав АМ входят:

- устройство ввода-вывода (УВВ);
- буферные усилители (БУ);
- регистры маски (Рг.М);
- триггер режима (Тг.Р);
- регистры адреса соответственно младших и старших разрядов (Рг.А1, Рг.А2);
- дешифратор старших разрядов адреса (ДША);
- дешифратор адреса (ДШ).

Описание блок-схемы АМ

Блок-схема АМ представлена на рис. 4

4.4.3.2. Работа АМ при вводе-выводе информации:

Установленный ведущим на МНЦ адрес ячейки УСС через УВВ (D1...D4) поступает на внутреннюю магистраль. При этом разряды с 7 по 11 и сигнал ВУ поступает на ДША1 (D14.1, D15.1), и по переднему фронту сигнала ОБМ сигнал дешифрации запоминается в Рг.А2 (D20.1). Сигнал с прямого выхода Рг.А2 стробирует прием младших (с 0 по 6) разрядов адреса в Рг.А1 (D12, D13). Адрес с выходов Рг.А1 (D12) поступает на ДШ (D18) и с его выходов через БУ (D23) в канал связи с УСС в виде сигналов ВБ1...ВБ4. Адрес с выхода 43 через БУ (D19) поступает в канал в виде сигн. ПА(0)...ПА(9).

4.4.3.3. Формирование сигналов управления при обращении к УСС (например, для случая вывода (записи) информации:

По сигналу ДЗП и сигналу опознавания с выхода интегральной микросхемы (ИМС) D22.1 через ИМС D38.2, D33.1, D39.1 формируется сигнал ЗП, и через ИМС D29.4, D53, D47.2 - сигнал, поступающий на вход сс ИМС D23 и стробирующий появление сигналов ВБ1...ВБ4 в канале связи с УСС. Сигнал ОТВ формируется в этом случае по следующей цепи: D44, D47.1, D43.4, D29.3, D51, D45.2, D52.2, D39.2.

4.4.3.4. Работа АМ по прерыванию

Если регистр маски (например, таймера - D25.1) сброшен, т.е. [Рг.М]=0, сигнал прерывания от таймера ПРТ с выхода ИМС D15.2, проходя по цепям D28.2, D30.1, D32.2, D32.4, D27.2, D35.2 транслируется в сигнал ЗПР1.

По сигналу РПРП АМ по цепи D26.2, D27.2, D35.2 сбрасывает ЗПР1, по сигналам РПРП и ДЧТ через ИМС D30.2, D36.1, D21 стробирует появление в МНЦ вектора прерывания, а по цепи D36.1, D51, D45.2 и т.д. формирует сигнал ОТВ.

4.4.4. Программируемый таймер

4.4.4.1. Назначение

Программируемый таймер (ПТ) предназначен для отсчета интервалов времени, программно задаваемых процессором (ПРЦ) в виде двоичного кода, и для выдачи сигналов прерывания в ПРЦ по истечении заданного временного интервала.

4.4.4.2. Состав

В состав ПТ входят:

- генератор импульсов счета (ГИС);
- счетчик (СЧ);
- триггер режима (Тг.Р);
- регистр данных (Рг.Д)

Описание блок-схемы ПТ

Блок-схема ПТ представлена на рис. 4

Работа генератора импульсов счета:

ГИС (D50, D54, D55) формирует импульсы длительностью $T_n \approx 50$ нс и периодом $T_n = 100$ мкс, запускающие схему счетчика СЧ (D16, D17). Запуск ГИС осуществляется по сигналу ПСК/ОСТ при наличии высокого уровня на 5 выводе D50, причем запуск и останов ГИС по сигналу ПСК/ОСТ производится ПРЦ при обращении последнего к ПТ при записи данных в счетчик СЧ.

4.4.4.3. Режимы работы ПТ

Существует два режима работы ПТ: циклический и нециклический в зависимости от состояния триггера режима Тг.Р (D27.1). При [Тг.Р]=1 устанавливается циклический режим работы таймера, при котором по сигналу ПРТ происходит запись данных из регистра данных Рг.Д таймера (D8...D11) в счетчик СЧ и запуск счетчика.

При циклической работе возможен программируемый останов ГИС при необходимости сменить информацию, ранее записанную в счетчик.

При [Тг.Р]=0 устанавливается нециклический режим. При этом режиме работы по сигналу ПРТ, транслируемому схемой управления в сигнал ПСК/ОСТ, производится останов ГИС.

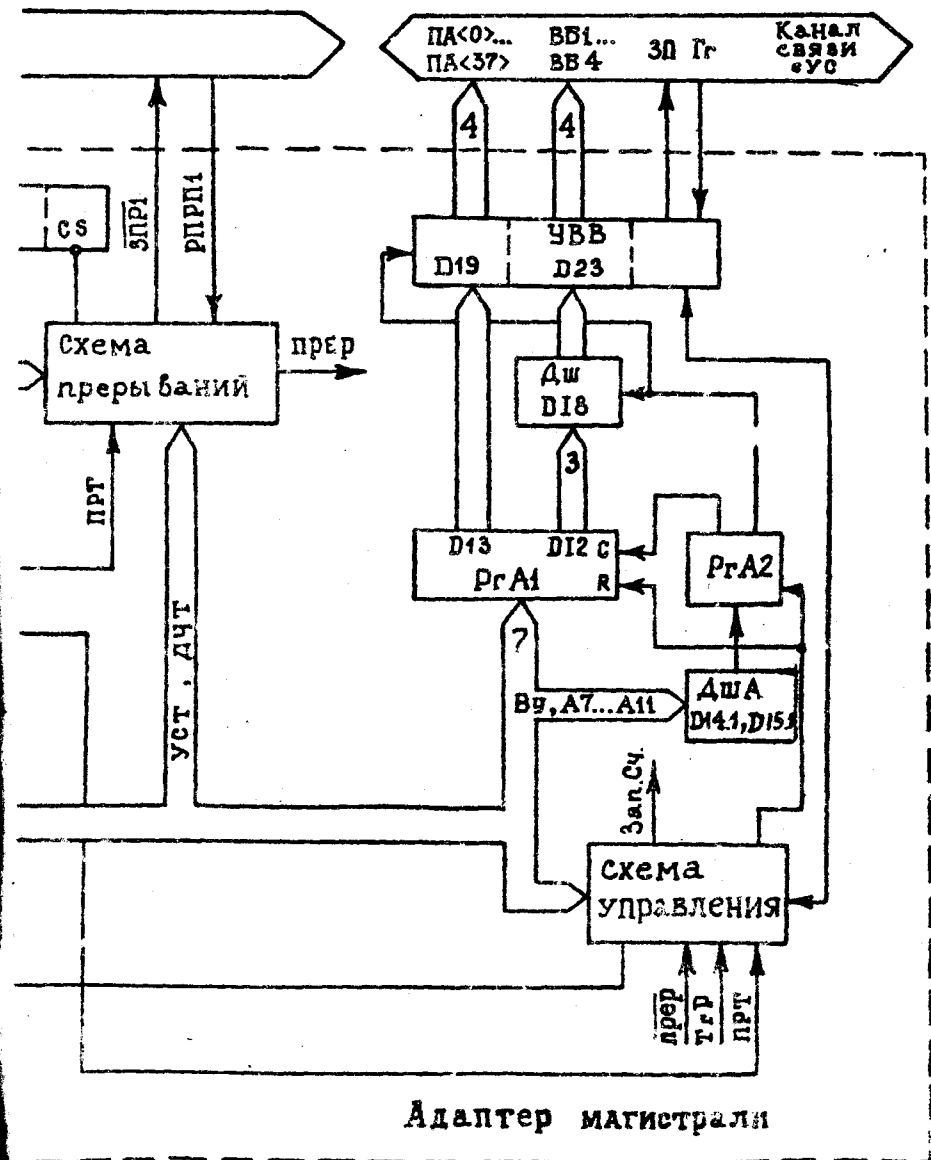
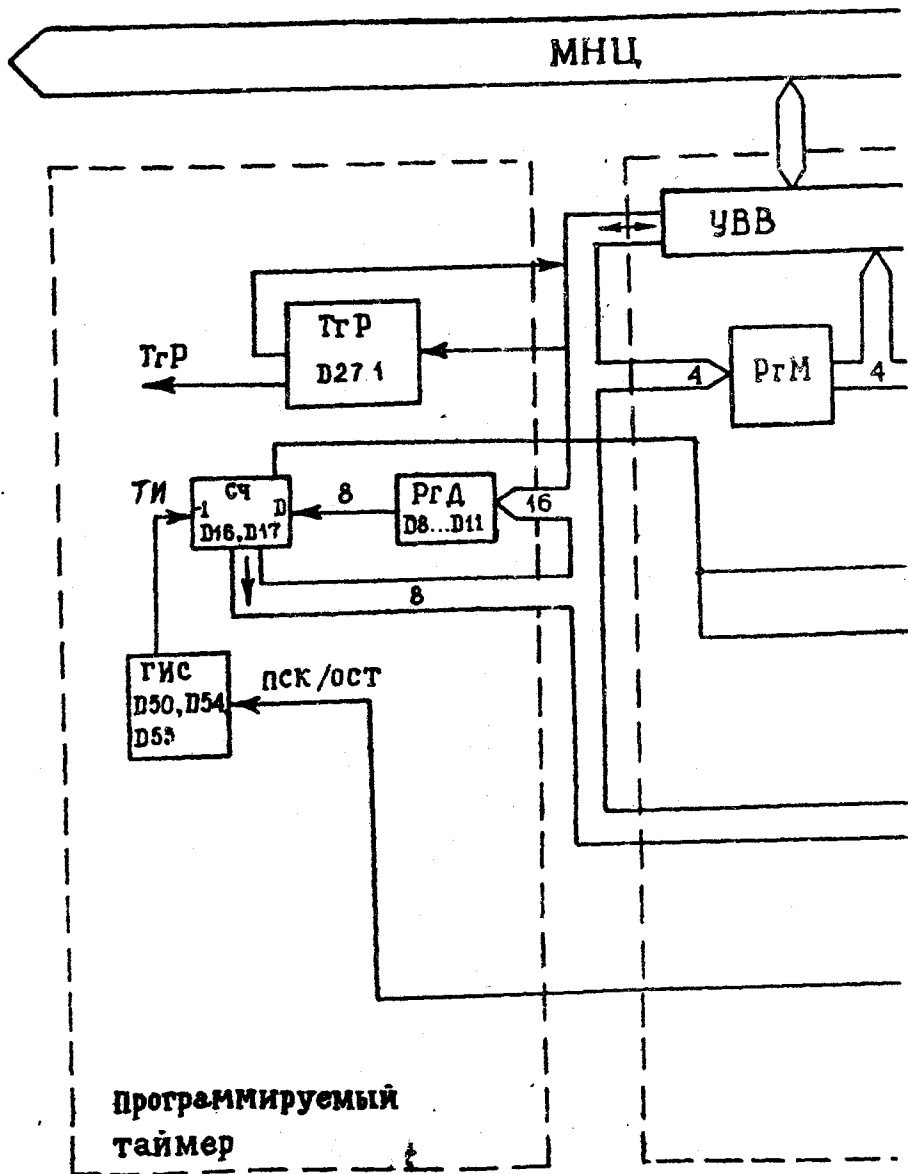


рис. 4 Структурная схема АМТ

4.4.5. Конструкция

Конструктивно ячейка АМГ размещена на двусторонней печатной плате с размерами 336,7 x 220 мм. Кроме микросхем и других элементов на плате устанавливается два разъема для стыковки ячейки с УЧПУ, два флажка для установки (выемки) ячейки в посадочное место корпуса УЧПУ; ловитель, предназначенный для точного направления ячейки перед стыковкой разъемов.

5. ПАНЕЛЬ ПО. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.057.033.ТО

5.1. ВВЕДЕНИЕ

5.1.1 Настоящее техническое описание (ТО) предназначено для ознакомления с составом и принципом работы панели пульта оператора (ПО).

5.1.2 При изучении ПО следует дополнительно пользоваться схемой электрической принципиальной 3.057.03333(см. приложение 6, альбом 7)

5.2. НАЗНАЧЕНИЕ

Пульт оператора входит в состав устройства числового программного управления токарным станком (УЧПУ) и является аппаратным средством реализации выполнения следующих функций:

- загрузки оператором рабочих программ обработки детали;
- выбор режима работы УЧПУ со станком;
- индикация значения подачи инструмента станка;
- индикация текущего значения кадра программы обработки детали;
- индикация содержания кадра программы обработки детали при ее загрузке и после;

индикации текущих значений параметров при выполнении программы обработки;

редактирования программы обработки;

пошагового режима обработки детали без перемещения инструмента для отладки программы;

ручного простого и ускоренного перемещения инструмента.

5.3. СОСТАВ ПАНЕЛИ ПО

Блок-схема панели ПО приведена на рис.5.

В её состав входят:

узел формирования кодов клавиатуры (УФК);

узел цифровой индикации (УЦИ);

узел дискретной индикации (УДИ);

узел ручного управления (УРУ).

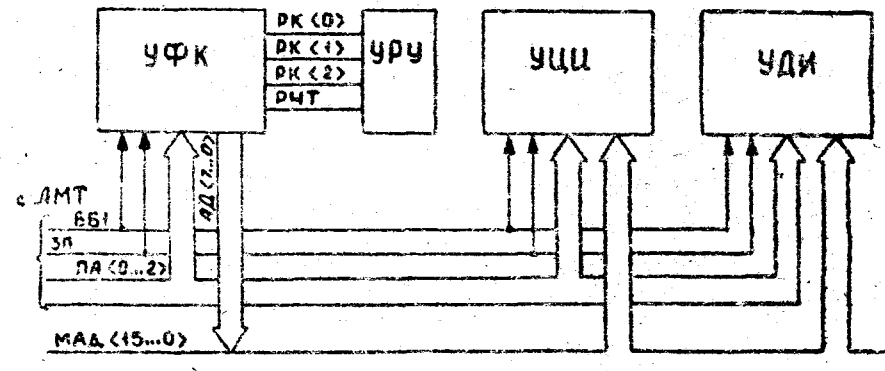


Рис.5. Блок-схема ПО.

5.4. ОПИСАНИЕ ПАНЕЛИ ПО

Внешний вид панели ПО представлен на рис.5.

Ниже приведены символы и их значения:

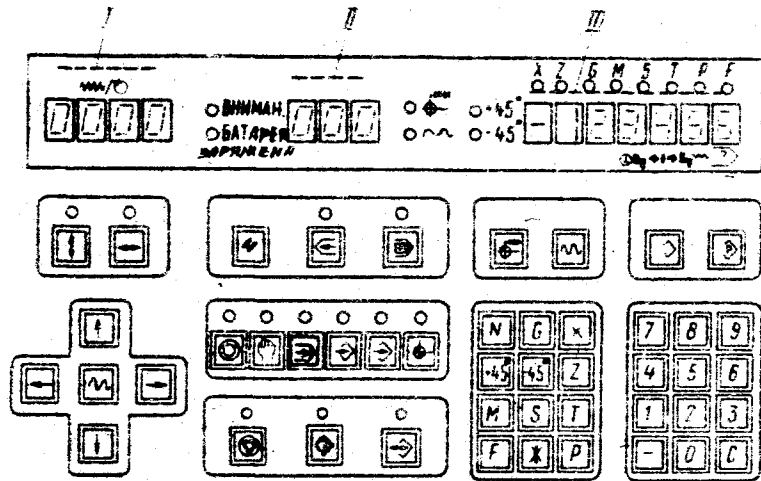
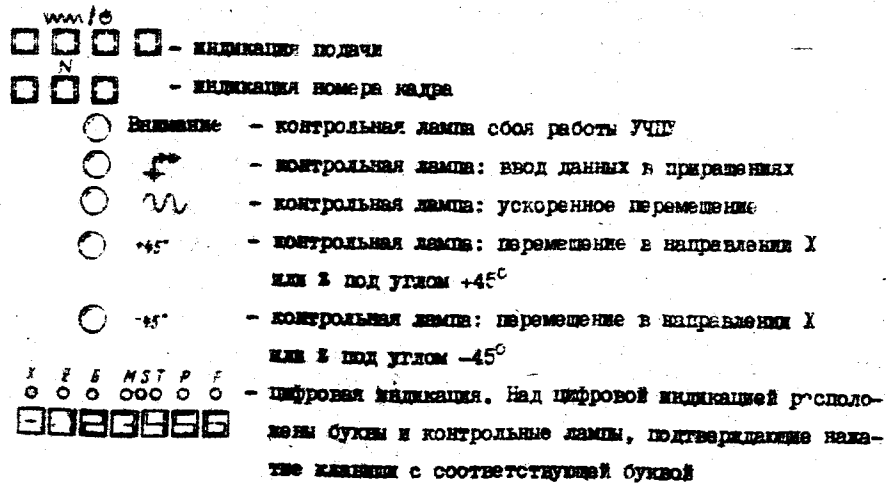
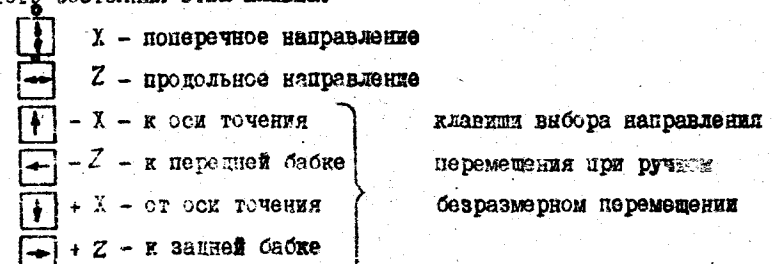


Рис. 6. Внешний вид панели ЦУ

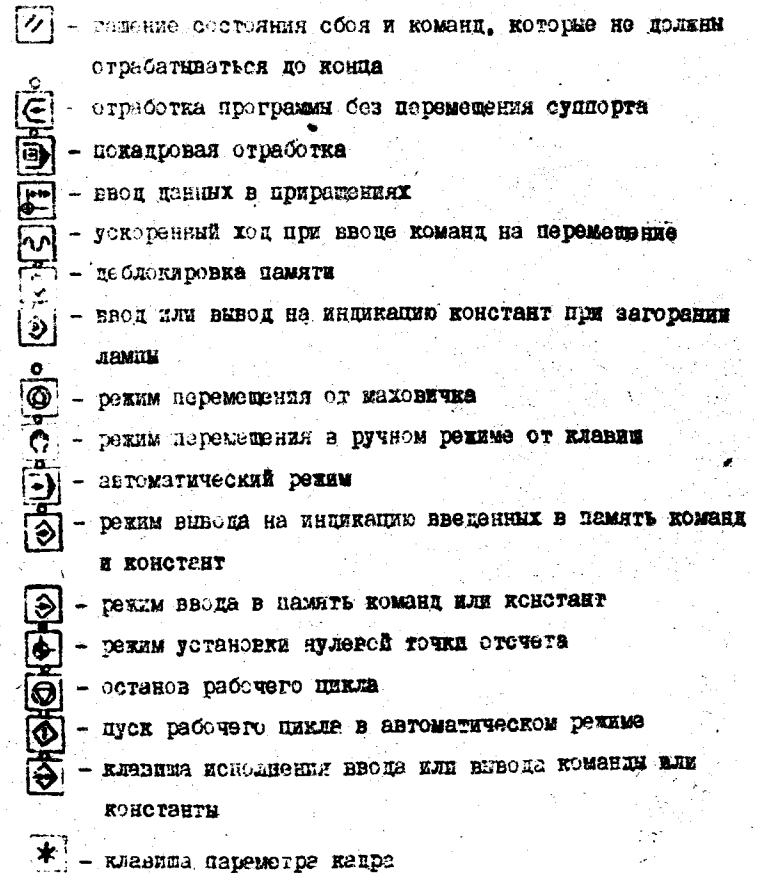
- I - индикация подачи (к. 1...4)
- II - индикация номера кадра (к. 5...7)
- III - цифровой дисплей (к. 8...14)



Клавиши выбора направления подачи от маховичка и индикация нажатого состояния этих клавиш.



[W] Клавиша ускоренного перемещения действует только совместно с клавишей выбора направления.



N G X +45° -45° Z - клавиши символов
M S T F * P

+45°/-45° - фаски по осям

7 8 9 4 5 6 - цифровые клавиши
1 2 3 - 0 C

- - знак перед направлением X или Z

C - стирание введенного значения

○ - батарея заряжена - контрольная лампа состояния автономного источника питания (батареи)

5.5. УСТРОЙСТВО И РАБОТА ПАНЕЛИ ПО

5.5.1. Узел формирования кодов клавиатуры - УЭК.

Функциональная схема УЭК приведена на рис. 7.

Узел включает в себя:

тактовый генератор (Г), выполненный по схеме мультивибратора и формирующий тактовую частоту в пределах 10 ... 20 кГц;

трехразрядный двоичный счетчик СЧ1;

дешифратор двоичного кода в десятичный ДШ;

блок клавиатуры БК;

шифратор Ш, формирующий коды в соответствии с табл. 5;

регистр кодов клавиатуры РКК;

выходные передаточные элементы ПРЦ;

узел блокировки УБЛ записи и чтения из РКК при нажатии нескольких клавиш *одновременно*.

схему формирования сигналов записи и чтения РКК, которая состоит из:

четырёхразрядного двоичного счетчика СЧ2;

двух мультивибраторов ОВ, ОБ1; $T_{ОБ1} = 10 \dots 20$ мс;

$T_{ОВ} \approx 1 \dots 2$ мкс;

три триггера - ТТ1, ТТ2, ТТ;

две схемы "ИЛИ" - ИЛИ, ИЛИ1;

четырёхсхем "И" - И, И1, И2, И3;

линии задержки ЛЗ

Узел предназначен для:

формирования кодов, приведенных в табл. 5;

формирования сигнала записи в РКК;

формирования сигнала чтения из РКК.

Рассмотрим цикл работы УЭК.

На рис. 8 приведена функциональная схема блока клавиатуры.

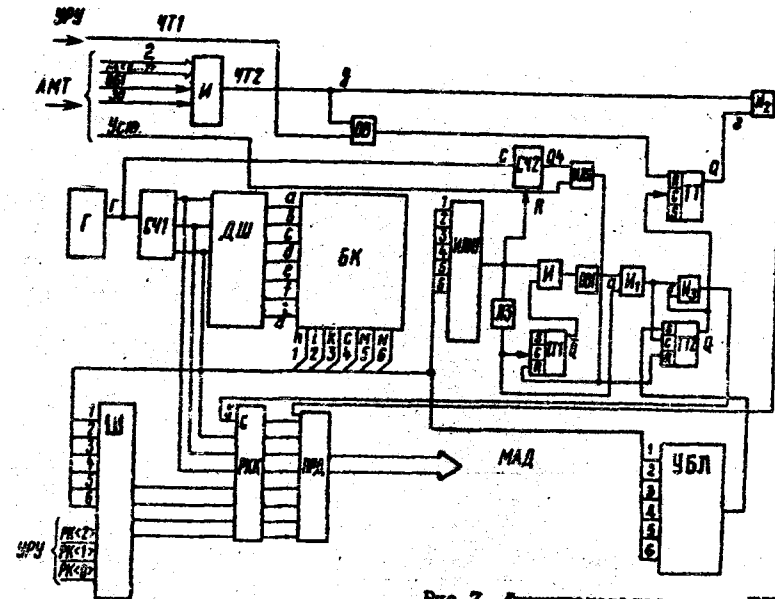


Рис. 7. Функциональная схема УЭК

a	SB6 X	SB13 Z	SB20 F	SB27 M	SB34 S	SB41 T
b	SB7 P	SB14 G	SB21 0	SB28 4	SB35 2	SB42 3
c	SB8 4	SB15 5	SB22 6	SB29 7	SB36 8	SB43 9
d	SB9 N	SB16 +45°	SB23 -45°	SB30 -45°	SB37 -	SB44 -
e	SB10 ⊙	SB17 ⊙	SB24 ⊙	SB31 ⊙	SB38 ⊙	SB45 ⊙
f	SB11 ⊙	SB18 ⊙	SB25 ⊙	SB32 ⊙	SB39 ⊙	SB46 ⊙
g	SB12 C	SB19 /	SB26 ⊙	SB33 ⊙	SB40 ⊙	SB47 X
	b	e	h	c	m	n

Рис. 8. Блок клавиатуры

Таблица 5

Коды клавиатуры Ю


Номер п/п	Код РКК								Восьмеричный
	Двоичный								
	7	6	5	4	3	2	1	0	
1	0	0	0	0	1	0	0	1	011
2	0	0	0	0	1	0	1	0	012
3	0	0	0	0	1	0	1	1	013
4	0	0	0	0	1	1	0	0	014
5	0	0	0	0	1	1	0	1	015
6	0	0	0	0	1	1	1	0	016
7	0	0	0	1	0	0	0	1	021
8	0	0	0	1	0	0	1	0	022
9	0	0	0	1	0	0	1	1	023
10	0	0	0	1	0	1	0	0	024
11	0	0	0	1	0	1	0	1	025
12	0	0	0	1	0	1	1	0	026
13	0	0	0	1	1	0	0	1	031
14	0	0	0	1	1	0	1	0	032
15	0	0	0	1	1	0	1	1	033
16	0	0	0	1	1	1	0	0	034
17	0	0	0	1	1	1	0	1	035
18	0	0	0	1	1	1	1	0	036
19	0	0	1	0	0	0	0	1	041
20	0	0	1	0	0	0	1	0	042
21	0	0	1	0	0	0	1	1	043
22	0	0	1	0	0	1	0	0	044
23	0	0	1	0	0	1	0	1	045
24	0	0	1	0	0	1	1	0	046
25	0	0	1	0	1	0	0	1	051
26	0	0	1	0	1	0	1	0	052
27	0	0	1	0	1	0	1	1	053
28	0	0	1	0	1	1	0	0	054
29	0	0	1	0	1	1	0	1	055
30	0	0	1	0	1	1	1	0	056
31	0	0	1	1	0	0	0	1	061
32	0	0	1	1	0	0	1	0	062
33	0	0	1	1	0	0	1	1	063
34	0	0	1	1	0	1	0	0	064

Продолжение табл. 5

Номер п/п	Код РКК								Восьмеричный
	Двоичный								
	7	6	5	4	3	2	1	0	
35	0	0	1	1	0	1	0	1	065
36	0	0	1	1	0	1	1	0	066
37	0	0	1	1	1	0	0	1	071
38	0	0	1	1	1	0	1	0	072
39	0	0	1	1	1	0	1	1	073
40	0	0	1	1	1	1	0	0	074
41	0	0	1	1	1	1	0	1	075
42	0	1	1	1	1	0	0	0	170
43	0	1	1	1	1	0	0	1	171
44	0	1	1	1	1	0	1	0	172
45	0	1	1	1	1	0	1	1	173
46	0	1	1	1	1	1	0	0	174
47	0	1	1	1	1	1	0	1	175
48	0	1	1	1	1	1	1	0	176
49	0	1	1	1	1	1	1	1	177
50	0	0	1	1	1	1	1	0	075

Обозначение клавиш в табл. 5

1	X
2	Z
3	F
4	M
5	S
6	T
7	P
8	B
9	D
10	L
11	2
12	3

13	4
14	5
15	6
16	7
17	8
18	9
19	N
20	W
21	+45
22	-45
23	
24	-

25.	
26.	
27.	
28.	
29.	
30.	
31.	
32.	
33.	
34.	
35.	
36.	
37.	С

38.	
39.	
40.	
41.	
42.	
43.	
44.	
45.	
46.	
47.	
48.	
49.	
50.	*

На входы а...j с выхода дешифратора Д₁ поступает последовательность сдвинутых друг относительно друга на такт импульсов (см. рис. 9)

Во время, когда возникает импульс на любом из входов (а...j), состояние двоичного счетчика соответствует десятичному номеру выхода дешифратора, на котором присутствует импульс. Выход "а" имеет номер 1, выход "j" - номер 7. При замыкании клавиши импульс, номер которого определяется номером той горизонтальной ряда местонахождения клавиши, проходит на выход вертикальной линии ряда, в котором находится клавиша. Этот импульс поступает на вход шифратора Ш. Шифратор формирует на своих выходах двоичный код номера вертикальной линии, на которой появился импульс. Принцип формирования кодов клавиатуры такой, что код клавиши состоит из двоичных номеров вертикальных и горизонтальных рядов, в которых находится замыкаемая клавиша.

С выходов (б...н) вертикальных или импульс поступает на схему ИЛИ1. С выхода ИЛИ1 импульс поступает на вход схемы И, на другой вход которой подается выход \bar{Q} с триггера ТТ1. Этот импульс проходит на вход одновибратора ОВ1, запуская его. Отрицательный импульс с выхода одновибратора длительностью 20 мс блокирует на это время вход схемы И1. На другой вход схемы И1 поступает задержанный на элементе ДЗ на 1 мкс импульс с выхода ИЛИ1. Блокировка на 20 мс необходима для защиты от "дребезга" контактов клавиш. Импульс записи в РКК формиру-

ется после окончания "дребезга" контактов, величина которого по ТУ на клавишу Т дребезга ≤ 10 мс. С выхода ДЗ импульс поступает также на вход ТТ1, устанавливая его в "1". Это запрещает повторный запуск одновибратора за время одного нажатия на клавишу. Первый после блокировки импульс, появившийся на входе И1 (рис. 9), проходит на выход и поступает на вход ИЗ. На второй вход схемы ИЗ поступает выход Q ТТ2 (рис. 9). Задним фронтом импульс с выхода И1 устанавливает в "1" триггер ТТ2, запрещая дальнейшее прохождение импульсов через ИЗ. Передним фронтом импульса с ИЗ происходит запись информации в РКК (рис. 9). Повторная запись запрещена до тех пор, пока не устанавливается в "0" ТТ2. Выход Q триггера ТТ2 поступает на вход триггера ТТ и устанавливает его в "1" (рис. 9). Выход \bar{Q} триггера ТТ поступает на вход схемы И2, разрешая прохождение на выход сигнала ЧТ2 (рис. 9) и чтение содержания регистра через выходные передатчики ПРД. Триггер ТТ устанавливается в "0" задним фронтом сигнала ЧТ2, который формируется ОВ длительностью 1 мкс. Сигнал ЧТ2 формируется на элементе И по следующему логическому правилу:

$$\text{ЧТ2} = \text{ЗП} \cdot \text{ВБГ} \cdot \text{ПА} \langle 2 \rangle \cdot \text{ПА} \langle 1 \rangle \cdot \text{ПА} \langle 0 \rangle.$$

Повторная запись и повторное чтение содержания РКК невозможно без установки в "0" ТТ1 и ТТ2. Эта установка вырабатывается при переходе клавиши через отжатие и происходит следующим образом:

с выхода тактового генератора импульсы поступают на счетный вход четырехразрядного двоичного счетчика СЧ2. На установочный вход "R" СЧ2 поступают импульсы с выхода схемы ИЛИ1, которые вырабатываются, когда нажата одна из клавиш блока клавиатуры.

Эти импульсы, следующие с частотой $\frac{1}{8}$ такта, сбрасывают счетчик и не позволяют установить в "1" Q_4 - выход четвертого разряда СЧ2.

Когда клавиша отпущена, импульсы сброса не поступают на вход "R" СЧ2 и на выходе Q_4 образуется перепад из "0" в "1".

Этот перепад, проходя через схему "ИЛИ", устанавливает в "0" триггеры ТТ1 и ТТ2, разрешая новый акт записи и чтения в РКК.

5.5.2. Узел цифровой индикации - УЦИ
функциональная схема УЦИ приведена на рис. 10.

Узел предназначен для цифровой индикации следующих характеристик:

- величины подачи (четыре десятичных цифры);
- номера кадра программы обработки (три десятичных цифры);
- параметров положения резца во время выполнения рабочей программы;
- содержания кадров рабочей программы;
- индикации ошибок и аварийных ситуаций.

Узел содержит:

- 4 шестнадцатиразрядных регистра цифровой индикации РИЦ1-РИЦ4;
- 4 дешифратора двоичного (четырёхразрядного) кода числа в семисегментный код цифровых знакоиндикаторов ДШ1-ДШ4;
- 14 цифровых семисегментных знакоиндикаторов ИНИ-ИНИ4;
- двухразрядный двоичный счетчик СЧ1;
- дешифратор двоичного кода в десятичный ДШ5;
- 4 транзистора VT1-VT4;
- трехходовую схему "И".

На рис. 11 приведено соответствие содержания разрядов РИЦ1-РИЦ4 номерам индикаторов ИНИ-ИНИ4. В табл. 6 приведены адреса регистров РИЦ1-РИЦ4.

Рассмотрим цикл работы УИИ.

Информация, поступающая из магистрали адреса-данных (МАД) при наличии сигналов "Запись" и "БИ", записывается в зависимости от значений $PA <0>$, $PA <1>$ в один из РИЦ по следующему логическому правилу:

$$ZP_{РИЦ1} = PA <2> \cdot BBI \cdot ZP \cdot \bar{PA} <0> \cdot \bar{PA} <1>$$

Значения $PA <0>$, $PA <1>$ для РИЦ1-РИЦ4 приведены в табл. 6. Сигнал $PA <2> \cdot BBI \cdot ZP$ формируется на выходе схемы И и поступает на входы (I2) разрешения записи в РИЦ. Сигналы $PA <0>$, $PA <1>$ поступают непосредственно на соответствующие адресные входы РИЦ. Конструктивно РИЦ1-РИЦ4 выполнены на четырех микросхемах типа ОЗУ 4x4. В целях экономии потребляемой мощности и уменьшения количества микросхем в УИИ применен метод динамической индикации. Он состоит в том, что в течение одного такта чтения длительностью 100 мкс производится последовательное чтение содержания РИЦ, начиная с РИЦ1 и кончая РИЦ4, таким образом, что частота чтения каждого РИЦ = 25 кГц ($T_{чт} = 0,4$ мс) и мерцание индикатора за счет дискретности чтения не улавливается глазом оператора.

Технически это выполнено следующим образом. С выхода тактового генератора (узел УЧК) импульсы поступают на двухразрядный двоичный счетчик СЧ1. Выходы СЧ1 поступают на адресные входы чтения РИЦ1-РИЦ4, осуществляя последовательный перебор адресов чтения. Кроме этого,

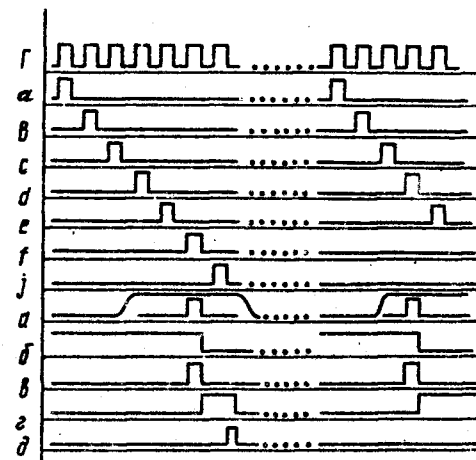


Рис. 9. Формирование сигналов записи и чтения РИЦ

они поступают на вход дешифратора двоичного кода в десятичный ДШ5. На выходах ДШ5 формируются 4 последовательности сдвинутых на такт задающего генератора импульсов, показанных на рис. 12. На рисунке отмечен также номер РИЦа, адрес которого формируется в момент существования импульса. Вход разрешения чтения РИЦ постоянно заведен на разрешающий потенциал. Появление информации на выходах РИЦ1 - РИЦ4 определяется наличием адреса данного РИЦ на его входах чтения. С выходов РИЦ1-РИЦ4 информация поступает на входы 4-х дешифраторов ДШ1 - ДШ4 двоичного кода в семисегментный код. С выходов ДШ1-ДШ4 семисегментный код двоичного числа, записанного в РИЦ, поступает на семисегментные цифровые знакоиндикаторы. Цифровой знакоиндикатор представляет собой линейку светодиодов с общим анодом. На катоды светодиодов поступает семисегментный код двоичного числа. На аноды светодиодов поступают импульсы с выхода ДШ5 (рис. 12), усиленные транзисторами VT1 - VT4. Наличие транзисторов обусловлено необходимостью обеспечения максимальной величины тока для засветки 4-х индикаторов, когда горят все семь контактов в каждом из них. Таким образом, импульсы засветки поступают на анод знакоиндикаторов синхронно с формированием адресов РИЦ и происходит циклическое с частотой $\approx 2,5$ кГц чтение РИЦ1-РИЦ4.

5.5.3. Узел дискретной индикации

Функциональная схема УИИ приведена на рис. 13. Узел предназначен для засветки контрольных ламп, расположенных на панели Ю (рис. 6. Внешний вид панели Ю).

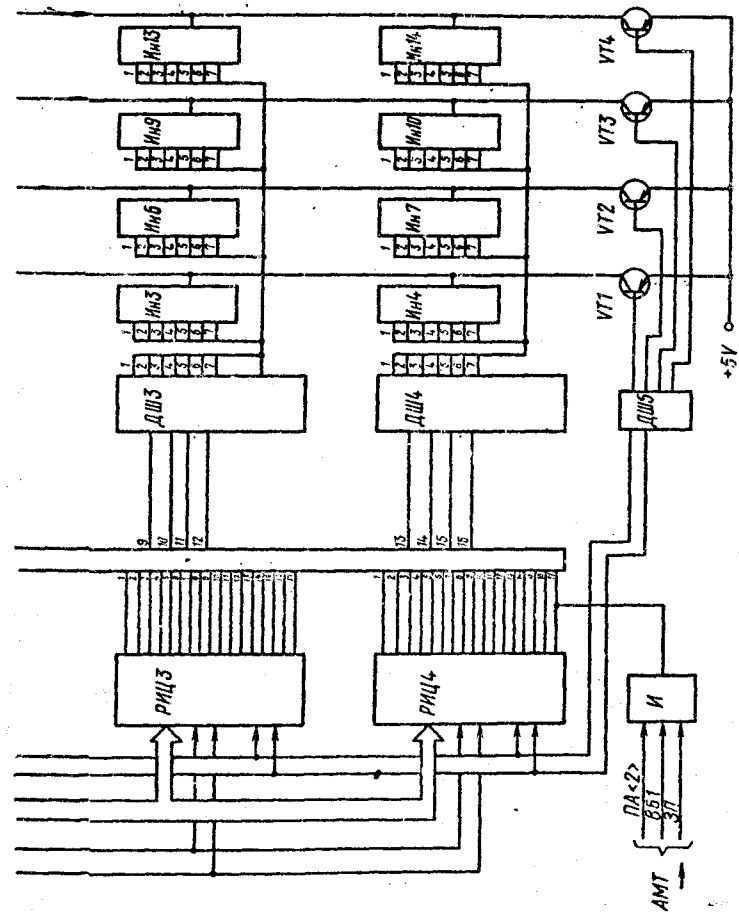
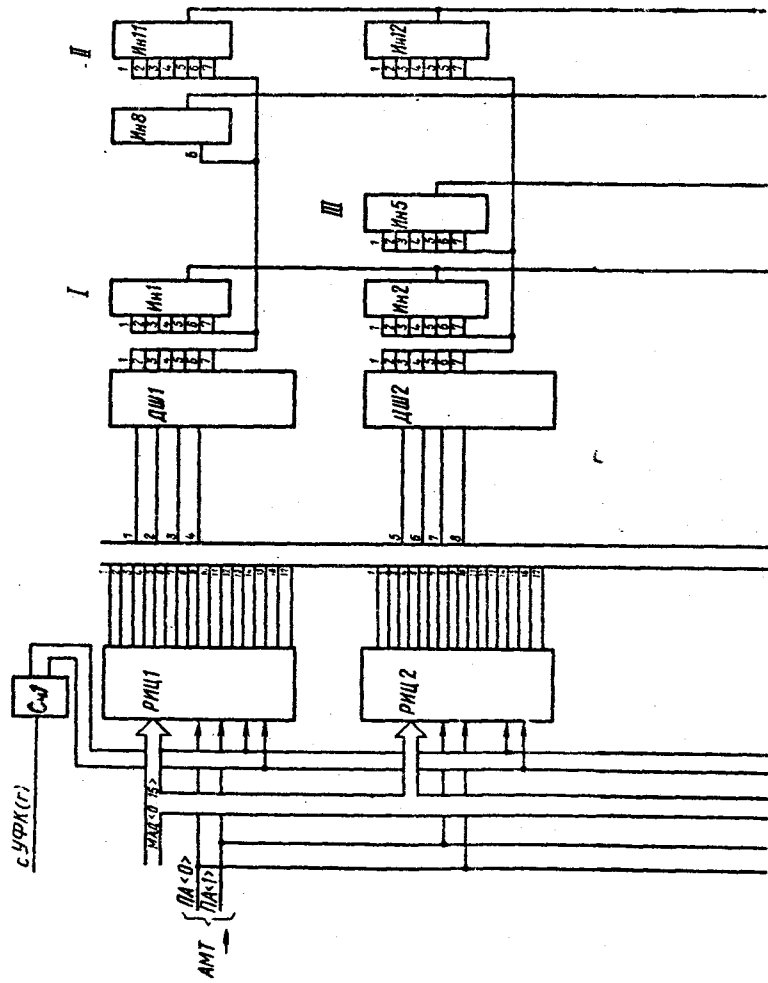


Рис. 10. Функциональная схема УЦИ:
 I - индикаторы подачи; II - индикаторы параметров программы; III - индикаторы номера кадра

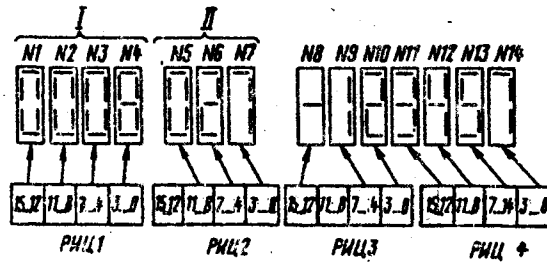


Рис. 11. Распределение информации по разрядам РИЦ
I - подача; II - номер кадра

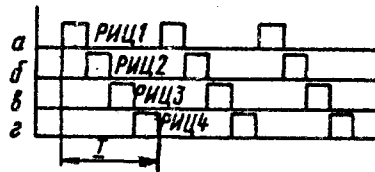


Рис. 12. Формирование сигналов записи в РИЦ:
I - T = 400 нс; P = 2,5 кГц

УДИ состоит из:

- 2-х шестнадцатиразрядных регистров РИЦ1-РИЦ2;
- схемы формирования сигнала записи информации в РИЦ1;
- схемы формирования сигнала записи информации в РИЦ2.

Таблица 6

Название	Обозначение	Разрядность	Доступность со стороны процессора	Код подсоединения
1. Регистр кодов клавиатуры	РИК	8	ЧП	110
2. Регистр дискретной индикации	РИЦ1	16	ЗП	100
3. Регистр дискретной индикации	РИЦ2	16	ЗП	101
4. Регистр цифровой индикации	РИЦ3	16	ЗП	000
5. То же	РИЦ2	16	ЗП	001
6. -"	РИЦ3	16	ЗП	010
7. -"	РИЦ4	16	ЗП	011

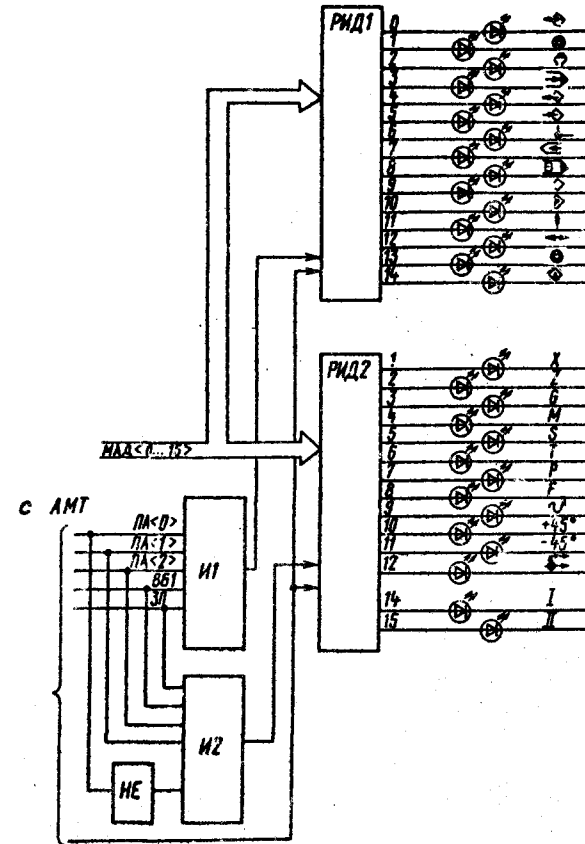
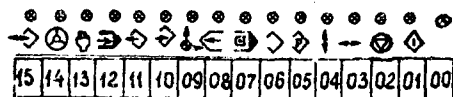


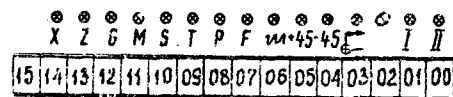
Рис. 13. Функциональная схема УДИ:
I - "Внимание"; II - "Батарейка заряжена"

Сигналы записи формируются по следующему логическому правилу:
 $ZпРИЦ1 = ПА < 2 > \cdot ПА < 1 > \cdot ПА < 0 > \cdot НБ1 \cdot ЗП$
 $ZпРИЦ2 = ПА < 2 > \cdot ПА < 1 > \cdot ПА < 0 > \cdot НБ1 \cdot ЗП$
 $ZпРИЦ1$ формируется на пятивходовом элементе "И"-И1.
 $ZпРИЦ2$ формируется на пятивходовом элементе "И"-И2 и инверторе "НЕ".

Входы регистров соединены через ограничительные сопротивления с катодами светодиодов (контрольных ламп), на аноды светодиодов подано $E_{II} = +5$ В. Наличие бита информации в соответствующем разряде



РИД1



РИД2

Рис. 14. Распределение информации по разрядам РИД:
I - "Внимание"; II - "Батарейка заряжена"

регистра сопровождается замиганием соответствующего светодиода.
Таблица распределения информации по разрядам РИД1-РИД2 приведена на рис. 14.

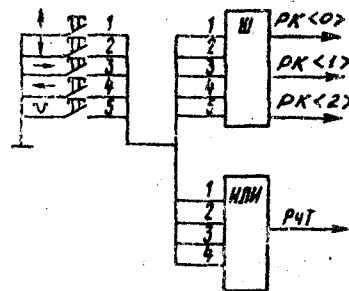


Рис. 15. Функциональная схема УРУ

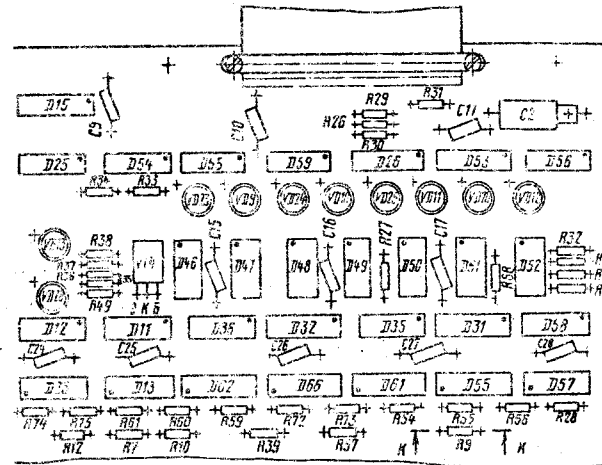
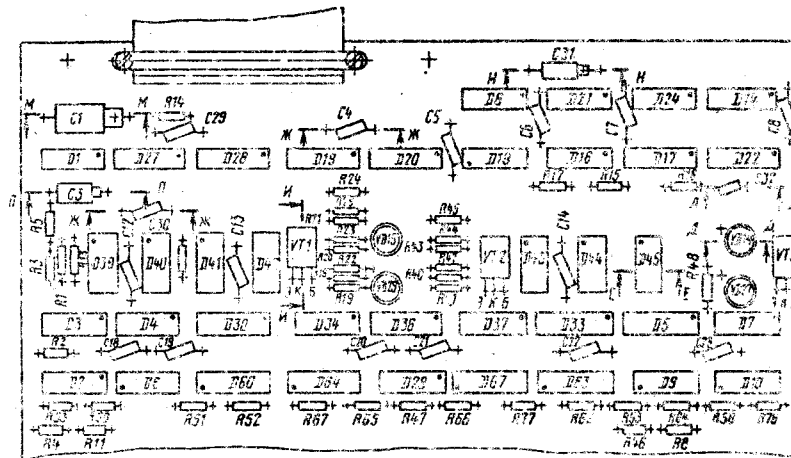
5.5.4. Узел ручного управления - УРУ

Функциональная схема УРУ приведена на рис. 15. Узел предназначен для формирования кодов при нажатии на клавиши ручного управления ↑; ↓; ←; → и их сочетания с клавишей "ИЛИ" и также для формирования сигнала разрешения чтения РЧТ. Сигнал РЧТ вырабатывается на выходе схемы "ИЛИ" и существует всё время, пока нажаты вышеперечисленные клавиши. При этом сигнал РЧТ блокирует работу одновибратора ОВ в УФК и разрешит микро-р-чт. РЧТ. Узел состоит из блока клавиш ↑, ↓, ←, →, ИЛИ, первые контакты которых соединены с землей, а вторые подаются на входы шифратора Ш и четырехходовой схемы "ИЛИ". Шифратор "Ш" формирует при замыкании вышеперечисленных клавиш коды в соответствии с табл. 5.

5.6. КОНСТРУКЦИЯ

5.6.1. Внешний вид панели ПО и размещение органов управления на ней приведены на рис. 6.

5.6.2. Монтаж микросхемы производится на двусторонней печатной плате с размерами 366,7x220 мм, на эту же плату устанавливаются эле-



и навесных
Рис. 16. Расположение микросхем элементов на плате П0

менты индикации, резисторы, емкости и транзисторы в соответствии с рис. 16.

5.6.3. На эту же плату устанавливается панель кистности, обеспечивающая механическую защиту платы от деформаций, вызванных изгибом клавиш. Затем монтируются клавиши в соответствии с рис. 6.

5.6.4. В табл. 3 приведено распределение ИМС по узлам П0.

5.6.5. В табл. 7 приведено соответствие контактов разъема П0 поступающим на них сигналам.

Таблица 7

Соответствие контактов разъема панели П0
сигналам магистральной

ХТ1	
A ₂	E _I = +5 В
B ₂	E _I = +5 В
A ₃	АД <15>
B ₆	АД <14>
A ₈	АД <13>
B ₈	АД <12>
A ₁₀	АД <11>

ХТ2	
A ₂	Контроль АКК
B ₂	Индикация АКК
A ₄	СВЧ
B ₄	ДЭС
A ₆	ДЗН
B ₆	БЭ

Продолжение табл. 7

ХТ1	
B ₁₀	АД <10>
A ₁₂	АД <9>
B ₁₂	АД <8>
B ₁₄	АД <7>
A ₁₆	-АД <6>
B ₁₆	АД <5>
A ₁₈	АД <4>
B ₁₈	АД <3>
A ₂₀	АД <2>
B ₂₀	АД <1>
A ₂₂	АД <0>
A ₂₄	ОТВ
B ₂₄	ЗПР1

ХТ2	
B ₃	УСТ
B ₁₄	ЗП
A ₁₆	АИП
B ₁₆	АСП
A ₁₈	ББИ
B ₁₈	ПЭС
B ₂₀	ЗМ
A ₂₂	ПА <0>
B ₂₂	ПА <1>
A ₂₄	ПА <2>
B ₂₄	ПА <3>
A ₂₆	Гуск Ш1
A ₂₈	Сток I

УТ1

В30	ОШВ
А32	РЭМИС
А4	Общий Е1, Е6
В4	общий Е1, Е6
А14	общий Е1, Е6
В22	общий Е1, Е6

УТ2

А32	Е1 = +5 В
В32	Е2 = +5 В
А20	Общий Е1, Е6
В12	общий Е1, Е6
А30	общий Е1, Е6
В30	общий Е1, Е6

Таблица 8

Распределение ИМС по узлам ЦУ

УФК	D 1, D 2, D 5, D 7...D10, D 12... D 26, D 53...D 55, D 58 D 59
УЦИ	D 27... D 54, D 56
УДИ	D 7, D 53, D 57, D 60-D 67
УРУ	D 3, D 4, D 6

6. УСТРОЙСТВО 3500. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.069.044 ТО

6.1. ВНЕШНИЕ

6.1.1. Настоящее техническое описание (ТО) предназначено для ознакомления с техническими характеристиками и принципом работы Устройства 3500 (в дальнейшем - Устройство).

6.1.2. При изучении Устройства следует дополнительно пользоваться схемой электрической принципиальной 3.069.044 ЭЗ (см. приложение Т альбом №7)

6.1.3. В описании Устройства приняты следующие сокращения и обозначения:

- УМ - усилители магистральные
 - РАА - регистр адреса
 - СОП - схема опознавания адреса
 - УУ - устройство управления
 - НИ - накопитель информации;
 - КОРР - корректор
 - ММ - мультиплексор
 - РЧЧ - регистр числа
 - ФОР - формирователь контрольных разрядов
 - ДН - дешифратор
 - Т - триггер
 - ОЕМ
 - ДЧТ
 - ДСИ
 - СНВ
 - ОВВ
 - ВУ
 - УСТ
 - АИИ
 - А0...А15 - разряды кода адреса (А0 - младший разряд)
 - Д0...Д15 - разряды кода данных (Д0 - младший разряд)
 - А00...А13 - разряды кода совмещенной линии адреса и данных
 - К1...К5 - контрольные разряды
 - МЦ - магистраль ЭМ
 - ЦЗУ - постоянное запоминающее устройство
- } - сигналы управления

6.2. НАЗНАЧЕНИЕ

6.2.1. Устройство 3500 является оперативным запоминающим устройством (ОЗУ) и используется в составе ЭМ "Электроника ИЦ-31".

6.2.2. Устройство предназначено также для хранения в ЦЗУ базового набора обеспечения ЭМ "Электроника ИЦ-31".

6.3. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ДАННЫЕ

6.3.1. Информационная емкость накопителя ОЗУ 4К слов (К-1024).

6.3.2. Для ОЗУ обмен управляющими сигналами и двойной информацией осуществляется в соответствии с интерфейсом магистрали МЦ (в дальнейшем по тексту "магистраль").

6.3.3. Разрядность кода адреса и данных на магистрали - 16 двоичных разрядов.

6.3.4. ОЗУ осуществляет контроль считываемой информации с исправлением одиночных ошибок на основе использования корректирующего кода Хемминга.

6.3.5. Формат слова в накопителе - 21 разряд, из них:

16 разрядов - информационные;

5 разрядов - контрольные.

6.3.6. Время цикла чтения (записи) не более 1,5 мкс.

6.3.7. Напряжение питания $+5 В \pm 5\%$ (пульсации 100 мВ);

6.3.8. С целью обеспечения сохранности записанной информации накопитель информации имеет отдельную шину питания $+5 В$ хр, напряжение на которой сохраняется при отключении питания от всех остальных узлов ОЗУ (аварийный режим).

6.3.9. Накопитель обеспечивает хранение записанной информации в диапазоне напряжения питания от $+3,5$ до $+5,5 В$.

6.3.10. Общая мощность, потребляемая ОЗУ, не более 6 Вт.

6.3.11. Ток, потребляемый накопителем в режиме хранения, - не более 5 мА.

6.3.12. Накопитель информации построен на БИС ОЗУ статического типа КР837Р73А.

6.3.13. Уровни сигналов на магистрали МЦ соответствуют уровням TTL схем.

6.3.14. Информационная емкость ПЗУ 8К 16-разрядных двоичных слов.

6.3.15. Чтение информации из ПЗУ осуществляется по интерфейсу внутренней магистрали процессора.

6.3.16. Время выборки из ПЗУ информационного слова - не более 0,9 мкс.

6.3.17. Питание накопителя ПЗУ осуществляется от источника $+5 В$ через понижающие напряжения диоды.

6.3.18. Накопитель информации ПЗУ построен на 2-х микросхемах К596РЕ1.

6.4. СОСТАВ

6.4.1. Устройство ЗУО состоит из 2-х частей: ОЗУ и ПЗУ.

6.4.2. В ОЗУ входят следующие функциональные узлы:

усилители магистральные - УМ;

устройство управления, реализующее интерфейс обмена по внешней магистрали (МЦ) и формирующее сигналы управления - УУ;

регистр адреса - РА;

схемы опознавания адреса обращения к ОЗУ - СОП ОЗУ и к триггеру ступенчатого корректора - СОП КОРР;

корректор ошибок КОРР, включающий в себя дешифратор кода

номера разрядов ошибки - ДН и регистр числа - РАЧ;

триггер отключения корректора - ТКОР;

накопитель информации НИ;

мультиплексор данных - МД;

формирователь контрольных разрядов ФКР.

Структурная схема ОЗУ представлена на рис.17.

6.4.3. В ПЗУ входят следующие функциональные узлы:

устройство управления, реализующее интерфейс обмена по внутренней магистрали процессора;

накопитель информации;

регистр адреса;

схема опознавания адреса ПЗУ.

Структурная схема ПЗУ представлена на рис.18.

6.5. УСТРОЙСТВО И РАБОТА ОЗУ

6.5.1. Все сигналы управления, а также 16-ти разрядные коды адреса и данных, которые поступают в ОЗУ из магистрали МЦ и выдаются в магистраль из ОЗУ, проходят через магистральные усилители УМ. Усилители сигналов управления - однонаправленные, а усилители 16-разрядной шины адреса и данных - двунаправленные и, в зависимости от режима работы ОЗУ (запись или чтение), работают на прием или передачу соответственно. При отсутствии обращения усилители находятся в режиме приема кода из магистрали.

6.5.2. Устройство, обращающееся к ОЗУ (ведущий), выставляет на магистраль 16-разрядный код адреса ОЗУ, а спустя 75 нс - сигнал обмена на линии ОБМ. Схема опознавания СОП ОЗУ опознает обращение к ОЗУ по четырем старшим разрядам кода адреса А12-А15, по сигналу ОБМ запоминает опознавание и выдает строб, по которому происходит запись 12 младших разрядов кода адреса в регистр адреса РАА. С выхода РАА код адреса поступает на адресные входы накопителя информации НИ. Минимально необходимое время для опознавания и захвата адреса регистром 100 нс, после чего ведущий снимает с магистрали код адреса и, в зависимости от режима работы, выставляет сигнал чтения - ДЧ или записи - ДЗП на соответствующих линиях управления.

6.5.3. При обращении в режиме ЗАПИСЬ, после захвата адреса РАА ведущий выставляет на магистраль 16-разрядный код данных, который через УМ поступает на информационные входы НИ, а также через мультиплексор данных МД на формирователь контрольных разрядов ФКР. Через 100 нс после выдачи кода данных ведущий выставляет сигнал ДЗП, по ко-

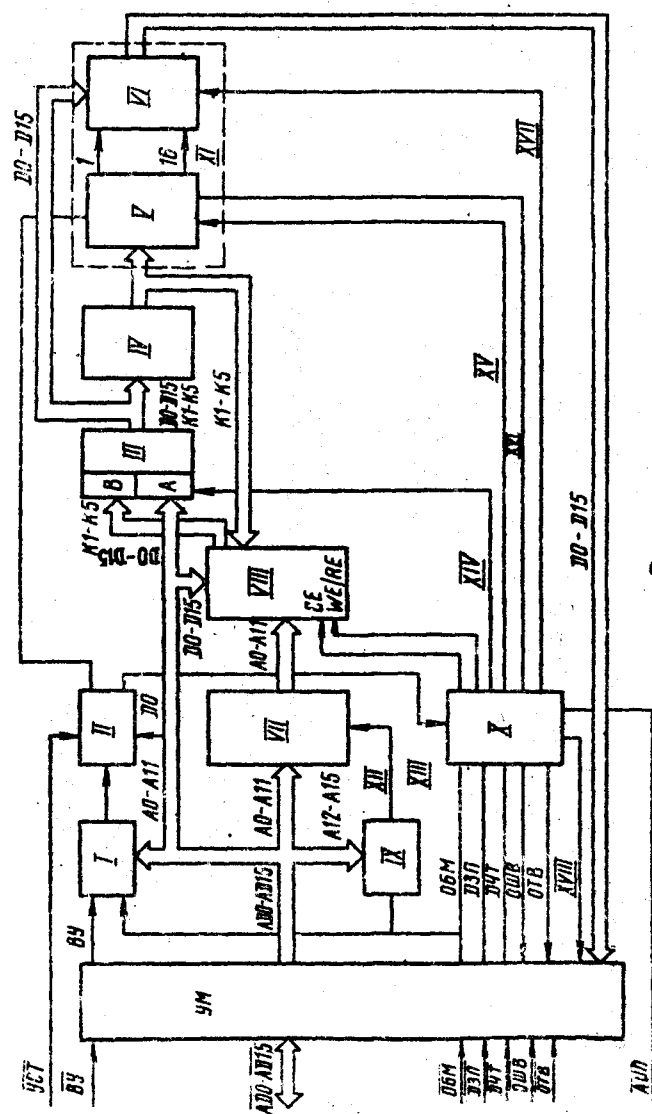


Рис. 17. Структурная схема ЦЗУ

- IX - CPU/MP
- X - CPU/MP
- XI - CPU/MP
- XII - CPU/MP
- XIII - CPU/MP
- XIV - CPU/MP
- XV - CPU/MP
- XVI - CPU/MP
- XVII - CPU/MP
- XVIII - CPU/MP
- УМ - мультипликатор мод. 2
- УУ - сумматор мод. 2
- ПМ - мультиплексор мод. 2
- ДШ - декодер
- РГЧ - регистр
- СЭ - сигнал сброса
- WE/RE - сигнал записи/чтения
- ДЧТ - сигнал передачи данных
- ДЭИ - сигнал приема данных
- ОТВ - сигнал отбора данных
- СВ - сигнал сброса
- АПК - адрес
- ПМ - мультиплексор
- ВМ - данные

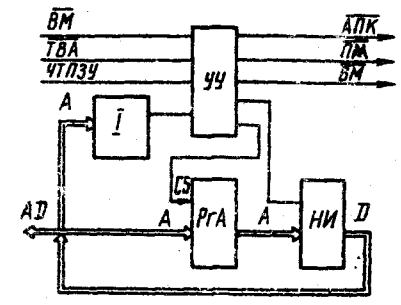


Рис. 18. Структурная схема ЦЗУ:
I - схема опознавания адреса

тому устройству управления УУ формирует сигналы управления НИ по входам СЭ и WE/RE (ЗАПИСЬ).

ФКР из 16-разрядного кода данных формирует на основе кода Хэмминга пять контрольных разрядов К1-К5, которые затем также поступают на информационные входы НИ. Таким образом, в накопитель записывается 16 разрядов кода данных и 5 контрольных разрядов. Через время, необходимое для записи информации в НИ, УУ снимает сигнал со входов СЭ и формирует сигнал ответа на линии "ОТВ", по которому ведущий снимает сигнал на линии ДЭИ и код данных на магистрали. УУ по сбросу сигнала ДЭИ прекращает выдачу сигнала ОТВ, а ведущий по сбросу сигнала ОТВ снимает ОБМ. По сбросу сигнала ОБМ УУ сбрасывает опознавание ОЗУ. На этом полный цикл записи данных заканчивается.

5.5.4. При обращении к ОЗУ в эфире ЧТЕНИЕ после захвата адреса регистром РГЧ ведущий выставляет сигнал на линии ДЧТ, по которому УУ переключает усилители УМ на передачу, а мультиплексор МП - на прием данных из НИ и выдает сигналы СЭ и WE/RE (чтение) на накопитель. Через время, равное времени выборки, 21-разрядный код из НИ заносится в РГЧ, выходы 16 информационных разрядов которого подключены ко входам усилителей УМ одноименных разрядов магистрали. После этого УУ снимает сигнал СЭ с накопителя. Записанный в РГЧ код поступает через мультиплексор МП на формирователь контрольных разрядов, на выходе которого в случае наличия ошибки формируется 5-разрядный код, отличный от нулевого, дешифруемый далее в ДШ корректора. В результате на одном из выходов ДШ появляется сигнал, который изменяет состояние соответствующего разряда РГЧ на противоположный. УУ формирует сигнал ОТВ и ведущий по сигналу ОТВ считывает вставленный в это время на магистрали код данных, после чего сбрасывает сигнал ДЧТ. УУ по сбросу ДЧТ снимает сигнал ОБМ и прекращает обмен.

6.5.5. При работе в режиме тестирования накопителя в магистраль при чтении из ОЗУ должна поступать нескорректированная информация. С этой целью в ОЗУ введен триггер отключения корректора, сигнал с выхода которого блокирует коррекцию информации в регистре числа P_{ГЧ}.

Для отключения корректора ведущий выставляет на магистраль в режиме "Запись" адрес корректора. Опознавание адреса производится схемой СОП КОРР по 12-ти младшим разрядам кода адреса, при наличии сигнала на линии ВУ. При поступлении сигнала ОБМ СОП КОРР выдает сигнал разрешения записи в триггер отключения корректора ТКОРР по 16 разряду (D0) кода данных. Запись "1" в ТКОРР является признаком отключения корректора, по которому УУ формирует сигнал ОТВ, далее происходит процесс, описанный в п.6.5.3.

Включение корректора производит ведущий сигналом по линии "Уст" или запись "0" по адресу ТКОР.

6.5.6. При появлении сигнала на линии АИП УУ ОЗУ блокирует выдачу сигнала СЕ на накопитель на все время присутствия сигнала АИП, в результате чего накопитель переходит в режим хранения.

6.6. РАБОТА ОТДЕЛЬНЫХ УЗЛОВ ОЗУ

6.6.1. В качестве двунаправленных магистральных усилителей УМ используются микросхемы шинных формирователей К589АП26 в I...D 4, D 6, управление которыми на прием или передачу осуществляется по входам УВ. Магистральным усилителем выходного сигнала ОТВ является микросхема К589АП26 D20.

6.6.2. Схемы опознавания адреса СОП КОРР и СОП ОЗУ представляют собой схемы сравнения на 12 и 4 разряда соответственно, построенные на микросхемах К555СН1. В СОП ОЗУ входят схема сравнения D5 и D-триггер опознавания D7. I, в СОП КОРР - схемы сравнения D44...D46, схема И D48 и триггер опознавания D49. I. При отсутствии сигнала С. I триггеры опознавания удерживаются в 0 сигналом по R-выходу, при появлении сигнала ОСМ на R-входе устанавливается "1", а через время задержки на микросхеме D6, передним (положительным) фронтом ОБМ по С-выходу в триггер опознавания записывается 1 с выхода схем сравнения. Запись адресов ОЗУ и корректора производится переключкой переключек. Положительным фронтом с выхода триггера опознавания ОЗУ (D7. I) записывается в P_{ГЧ} код адреса А0-А11.

6.6.3. Регистр адреса P_{ГЧ} собран на трех четырехразрядных D-регистрах К155ТМ8 (D10, D11, D12)

6.6.4. Накопитель информации (НИ) включает в себя 21 БИС ОЗУ КР537РУ3А. Функционально НИ состоит из двух частей:

накопителя данных D51... D66 и

накопителя контрольных разрядов D67... D71.

Управление по входам "запись-чтение" (WE/RK) - общее для обеих частей, а по входам СЕ (выбор кристалла) - каждая из частей накопителя имеет отдельную линию управления.

При высоком уровне на входе СЕ (режим хранения) информационные выходы НИ переходят в третье (высокоомное) состояние.

6.6.5. Регистр числа P_{ГЧ} собран на регистрах-мультиплексорах D21...D26 типа К555М13. Запись информации в P_{ГЧ} осуществляется в В-канал из НИ, А-канал из магистраль по отбору С. Направление приема - по входам V.

6.6.6. Формирователь контрольных разрядов ОКР собран на микросхемах D31...D35 К155М12 и D36 К155М15. Формирование контрольных разрядов производится на основе кода Хемминга в соответствии с таблицей.

6.6.7. Дешифратор корректора собран на микросхемах D37...D39 К555М17, выходы которых подключаются к одним из входов схем исключения ИЛИ, инвертирующим конъюнктивные разряды, подаваемые на вторые входы.

6.6.8. Устройство управления УУ ОЗУ состоит из R-С генератора импульсов на микросхеме D15, формирователя временных стробов управления на 2-х регистрах D18, D19, триггера ответа D7.2 и логич. управления D8, D13...D16. Запуск генератора осуществляется сигналом с выхода D8.4, а останов - с выхода Q3 D19 как при записи, так и при чтении. Импульсы с выхода генератора поступают на С-входы D-регистров формирователя временных стробов, соединенных в "кольцо" по схеме "счетчика Джонсона", с выходов которого сигналы подаются на управление НИ, P_{ГЧ}, ДИ.

Таблица 9

Информационные разряды (данные)	Контрольные разряды					
	D0	D1	D2	D3	D4	D5
D0	○	○				
D1	○		○			
D2			○			
D3	○	○	○			
D4	○			○		
D5					○	
D6	○	○				
D7				○		
D8	○			○		
D9			○	○		
D10	○	○	○	○		
D11		○				
D12				○		
D13			○	○		
D14					○	
D15				○		
						○
						○
						○
						○
						○

- 50 -

В триггере ответа осуществляется формирование сигнала ОТВ. Установка триггера в "1" производится по С-ходу с выхода микросхемы D16.2 временным стробом (в случае записи данных в ОЗУ) с формирователя или сигналом с триггера отключения корректора D49.2 (при записи команды отключения корректора работа формирователя временных стробов блокирована). По окончании обмена триггер ответа сбрасывается в "0" сигналом по R-ходу. На транзисторах VT2, VT4 собран формирователь сигнала выбора кристалла - СЕ накопителя данных, а на VT1, VT3 - накопителя контрольных разрядов. При отсутствии сигнала АИП (высокий уровень на линии АИП) импульсы с выхода микросхем D17.1 и D17.2 проходят соответственно через VT1... VT4 на входы СЕ накопителя. При поступлении сигнала АИП (низкий уровень) на базы транзисторов VT3 и VT4 они закрываются, что через R29 и R30 обеспечивает высокие уровни напряжения на входах СЕ обеих частей накопителя.

6.6.9. Триггер отключения корректора ТКОР D43.2 служит для записи команды отключения корректора. Командой отключения является наличие "1" в младшем разряде (D0) данных, который подключен к D-выходу триггера. Запись осуществляется по С-ходу сигналом с выхода триггера опознавания корректора. Сброс триггера осуществляется сигналом на линии УСТ или записью "0" в триггер отключения корректора.

6.7. УСТРОЙСТВО И РАБОТА ПЗУ

6.7.1. Код адреса по внутренней магистрали процессора подается в сопровождении сигналов ВМ и ТВА на схему опознавания D80. В случае совпадения адреса с кодом, зашитым в схеме опознавания, с выхода D80 вырабатывается сигнал запуска УУ (D72... D74, D79, D81). С выхода УУ вырабатывается строб записи адреса в PTA (D75... D78), а на магистраль выданы синхронизирующие сигналы АПК и ПМ.

6.7.2. По магистральным сигналам ВМ и Ф ПЗУ при условии опознавания адреса УУ вырабатывает сигнал Сс на накопитель (D82, D83) и в магистраль выданы 16-разрядный код считанного слова. Считанная информация сопровождается выдачей из УУ в магистраль сигнала ВМ.

6.7.3. По сбросу сигнал Ф ПЗУ УУ сбрасывает сигналы ВМ, Сс. ПЗУ переходит в исходное состояние и готово к новому циклу чтения.

6.8. КОНСТРУКЦИЯ

Конструктивно устройство 3500 размещено на двухсторонней печатной плате. Подключение к магистрали МПЦ ЭВМ "электроника ИЦ-31" осуществляется через два 32 контактных разъема ХТ1, ХТ2 типа СМП53-32/94×9В-23-1-0 вилка. Подключение устройства 3500 к внутренней магистрали процессора ПРЦ осуществляется с помощью кабеля ПЗУ 4.853.074 (см. приложение 9, альбом №7) через разъем ХТ3 типа СМП-58-32/94×9В-23-1-0 вилка. Габаритные размеры полностью смонтированной печатной платы 220×356,7×18 мм

- 51 -

Содержание

1. УСТРОЙСТВО 9202. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.006 ТО	1
1.1. ВВЕДЕНИЕ	1
1.2. НАЗНАЧЕНИЕ	1
1.3. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ДАННЫЕ И ХАРАКТЕРИСТИКИ	2
1.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ	2
2. УСТРОЙСТВО 9209. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.007-02 ТД	5
2.1. ВВЕДЕНИЕ	5
2.2. НАЗНАЧЕНИЕ	5
2.3. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ	5
2.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ	6
3. УСТРОЙСТВО 9201. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.035.008 ТО	7
3.1. ВВЕДЕНИЕ	7
3.2. НАЗНАЧЕНИЕ	7
3.3. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ	7
3.4. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ	8
4. ЯЧЕЙКА АМТ. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.056.018 ТО	9
4.1. ВВЕДЕНИЕ	9
4.2. НАЗНАЧЕНИЕ	9
4.3. СОСТАВ АМТ	9
4.4. УСТРОЙСТВО И РАБОТА АМТ	10
5. ПАНЕЛЬ ПО. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.057.033 ТО	21
5.1. ВВЕДЕНИЕ	21
5.2. НАЗНАЧЕНИЕ	22
5.3. СОСТАВ ПАНЕЛИ ПО	23
5.4. ОПИСАНИЕ ПАНЕЛИ ПО	23
5.5. УСТРОЙСТВО И РАБОТА ПАНЕЛИ ПО	25
5.6. КОНСТРУКЦИЯ	36
6. УСТРОЙСТВО 3500. ТЕХНИЧЕСКОЕ ОПИСАНИЕ. 3.069.044 ТО	42
6.1. ВВЕДЕНИЕ	42
6.2. НАЗНАЧЕНИЕ	43
6.3. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ДАННЫЕ	43
6.4. СОСТАВ	44
6.5. УСТРОЙСТВО И РАБОТА ОЗУ	45
6.6. РАБОТА ОТДЕЛЬНЫХ УЗЛОВ ОЗУ	48
6.7. УСТРОЙСТВО И РАБОТА ЦЗУ	51
6.8. КОНСТРУКЦИЯ	54

Формат бумаги 60x84%. Тир. 300 Зак. 3242 Печ. листов 3,25

Смоленская городская типография
Упрполиграфиздата Смоленского облисполкома
Индекс 214000, ул. Маршала Жукова, 16

— (КИП) — контр. цифровой, преобразов

— (КП) — контр. эл. приводов

— (КЭ) — контр. эл. автоматики

— (АМТ) — адантр. магистр и прогр. таймер

— (П.О) — мулт. оператора 46 клавиш

— 034-1734 состоит из 2^х частей